

特表平9-512139

(43) 公表日 平成9年(1997)12月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	
H 0 1 L 21/66		8406-4M	H 0 1 L 21/66	E
G 0 1 R 1/073		8908-2G	G 0 1 R 1/073	E
31/26		9308-2G	31/26	J
H 0 1 L 21/60	3 0 1	7220-4E	H 0 1 L 21/60	3 0 1 A
		7220-4E		3 0 1 P
審査請求 有 予備審査請求 有 (全 104 頁) 最終頁に続く				

(21) 出願番号 特願平8-516323
 (86) (22) 出願日 平成7年(1995)11月15日
 (85) 翻訳文提出日 平成9年(1997)2月13日
 (86) 国際出願番号 P C T / U S 9 5 / 1 4 8 8 5
 (87) 国際公開番号 W O 9 6 / 1 5 4 5 9
 (87) 国際公開日 平成8年(1996)5月23日
 (31) 優先権主張番号 0 8 / 3 4 0 , 1 4 4
 (32) 優先日 1994年11月15日
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 P C T / U S 9 4 / 1 3 3 7 3
 (32) 優先日 1994年11月16日
 (33) 優先権主張国 オーストリア (A T)

(71) 出願人 フォームファクター, インコーポレイテッド
 アメリカ合衆国カリフォルニア州94550
 リヴモア, リサーチ・ドライブ・2130
 (72) 発明者 ハンドロス, イゴ, ワイ
 アメリカ合衆国カリフォルニア州94563
 オリアンダ, ヘイシェンダス・ロード・25
 (72) 発明者 マシュー, ゲータン, エル
 アメリカ合衆国カリフォルニア州94568
 ダブリン, フォール・クリーク・ロード・
 7980, アパートメント・203
 (74) 代理人 弁理士 古谷 馨 (外2名)

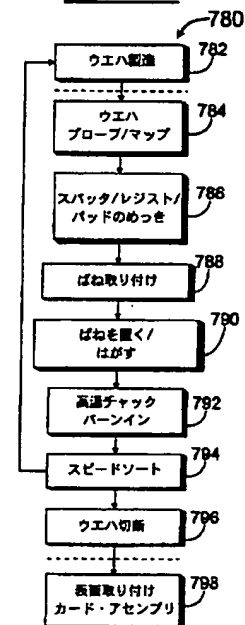
最終頁に続く

(54) 【発明の名称】 半導体デバイス上へのばね要素の取り付け、及びウエハレベルのテストを行う方法

(57) 【要約】

直接半導体ダイ(402a、402b)が半導体ウエハから単一化(分離)される前に、弾性接触構造(430)が直接、半導体ダイ(402a、402b)上の接続パッド(410)に取り付けられる。これは、半導体ダイの表面上に配置された複数のターミナル(712)を有する回路ボード(710)またはそれと同様のもので、半導体ダイ(702、704)に接続することによって、半導体ダイ(402a、402b)の訓練(テスト、及び/またはバーンイン)を可能にする。最終的に、半導体ダイ(402a、402b)は、半導体ウエハから単一化され、同じ弾性接触構造(430)が半導体ダイと他の電子素子(ワイヤ基板、半導体パッケージ等のような)の間の相互接続を行うために使用される。弾性接触構造として、本発明の全て金属の複合相互接続要素(430)を使用すると、バーンイン(792)が少なくとも150℃の温度で実行され、それは60分より短い時間で完了する。

Figure 7D



【特許請求の範囲】

1. 半導体ダイが半導体ウエハから単一化される前に、半導体ダイをテストする方法であって、前記方法が、

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、半導体ダイの表面上の複数のターミナルに取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

半導体ダイをテストするために、基板のターミナルに信号を提供するステップを含むことを特徴とする、前記方法。

2. 弾性接触構造が複合相互接続要素であることを特徴とする、請求項1に記載の方法。

3. 弾性接触構造が、めっきによって半導体ダイのターミナルに取り付けられることを特徴とする、請求項1に記載の方法。

4. 弾性接触構造が、連続的な上塗りによって半導体ダイのターミナルに保持されることを特徴とする、請求項1に記載の方法。

5. 半導体ダイをテストし、取り付ける方法が、

複数の半導体ダイが半導体ウエハから単一化される前に：

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、複数の半導体ダイのうち少なくとも1つダイの表面上の複数のターミナルに取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

半導体ダイをテストするために、基板のターミナルに信号を提供するステップを含み、

半導体ダイをテストした後に：

ダイをウエハから単一化するステップ、及び

ダイを電子素子に取り付け、ダイの弾性接触構造と電子素子のターミナルの間の接続を行うステップを含む、前記方法。

6. 弾性接触構造が複合相互接続要素であることを特徴とする、請求項5に記載の方法。

7. 電子素子がワイヤ基板であることを特徴とする、請求項5に記載の方法。

8. 複数の半導体ダイが半導体ウエハから単一化される前に：

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、複数の半導体ダイの表面上の複数のターミナルに取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

複数の半導体ダイをテストするために、基板のターミナルに信号を提供するステップを含み、

半導体ダイをテストした後：

ダイをウエハから単一化するステップ、及び

ダイを電子素子に取り付け、ダイの弾性接触構造と電子素子のターミナルの間の接続を行うステップを含む、請求項5に記載の方法。

9. 2つ以上のダイを電子素子の1つに取り付けることを更に含むことを特徴とする、請求項8に記載の方法。

10. 弾性接触構造を直接半導体デバイスに取り付ける方法が、

半導体ダイの表面上にパターン化された金属層の上に絶縁層を提供するステップ、

複数の開口を前記絶縁層に提供するステップ、

ブランケット導電層を絶縁層の頂部に提供するステップ、

前記ブランケット導電層の上に、前記絶縁層内の複数の開口と調整された複数の開口を有する、マスキング材料からなるパターン化された層を提供するステップ、

マスキング材料からなるパターン化された層内の開口の少なくとも一部のそれ

- それぞれにあるブランケット導電層に、ワイヤを接続するステップ、
各接続されたワイヤを、半導体ダイの表面から延ばすステップ、
各接続されたワイヤを、半導体ダイの表面からのある距離で分離するステップ、
及び
各分離されたワイヤとブランケット導電層の露出された部分を上塗りするステップを含むことを特徴とする、前記方法。
11. 分離されたワイヤを上塗りした後で、マスキング材料を除去

し、ブランケット導電層の以前に露出されていた部分の他は全て選択的に除去するステップを更に含むことを特徴とする、請求項10に記載の方法。

12. マスキング材料がフォトレジストであることを特徴とする、請求項10に記載の方法。
13. マスキング材料からなるパターン化された層の開口が、絶縁層の開口より大きいことを特徴とする、請求項10に記載の方法。
14. 半導体デバイスに対するテスト、及びバーニンインからなるグループから選択されたテストを実行する方法が、
弾性接触構造を直接半導体デバイスに取り付けるステップ、
接触領域を有するテスト・ボードに向けて、半導体デバイスを押しつけ、弾性接触構造の頂上が電氣的に前記テスト・ボードの接触領域に接続されるようにするステップ、
半導体デバイスに関するテストを実施するステップ、及び
最終的に半導体デバイスを、接触領域を有するシステム・ボードに取り付け、前記システム・ボード上の接触領域に、弾性接触構造の頂上が電氣的に接続されるようにするステップを含むことを特徴とする、前記方法。
15. 永久に半導体デバイスをシステム・ボードに接続させるステップを更に含むことを特徴とする、請求項14に記載の方法。
16. 半導体デバイスを半導体ウエハから単一化する前に、弾性接触構造を半導体デバイスに取り付けるステップを更に含むことを特徴とする、請求項14に記載の方法。

17. 半導体デバイスを半導体ウエハから単一化した後に、弾性接触構造を半導体デバイスに取り付けるステップを更に含むことを特徴とする、請求項14に記載の方法。

18. 半導体デバイスを永久に接続する前に、半導体デバイスを一時的に接続する方法が、

複数の電子接触構造をむき出しの半導体デバイスに取り付けるステップ、

半導体デバイスを第1の電子素子に押しつけ、半導体デバイスと第1の電子素子の間の電子相互接続として機能する電子接触構造で、半導体デバイスと第1の電子素子との間の一時的な接続を行うステップ、及び

半導体デバイスに取り付けられた同じ電子接触構造を用いて、半導体デバイスと第2の電子素子との間の永久接続を行うステップを含むことを特徴とする、前記方法。

19. 半導体デバイスを第2の電子素子に対して機械的にバイアスすることによって、永久接続を行うステップを更に含むことを特徴とする、請求項18に記載の方法。

20. 半導体デバイスを第2の電子素子に永久的に接続するステップを更に含むことを特徴とする、請求項18に記載の方法。

21. 電子接触構造が弾性であることを特徴とする、請求項18に記載の方法。

22. 電子接触構造が柔軟(compliant)であることを特徴とする、請求項18に記載の方法。

23. 第1の電子素子と第2の電子素子の間に一時的な接続を行い、次に第1の電子素子と第3の電子素子の間に永久的な接続を行う方法が、

複数の弾性接触構造を第1の電子素子の表面に取り付けるステップ、

第1の電子素子を第2の電子素子に対して押しつけ、第1の電子素子と第2の電子素子の間に一時的な接続を行うステップ、

第2の電子素子を除去するステップ、及び

第1の電子素子を第3の電子素子に取り付けるステップを含むことを特徴とする、前記方法。

24. 第1及び第2の電子素子が一時的に接続されている間に、第1の電子素子のバーンイン及びテストからなるグループから選択された少なくとも1つの機能を実行するステップを更に含むことを特徴とする、請求項23に記載の方法。
25. 直接半導体ダイに取り付けられた弾性接触構造が、
半導体ダイに取り付けられた端部を有し、半導体ダイの表面から延びる複合相互接続要素、及び
前記複合相互接続要素の端部に接続された事前製造された頂上構造を含むことを特徴とする、前記弾性接触構造。
26. 前記弾性接触構造が複合相互接続要素であることを特徴とする、請求項25に記載の弾性接触構造。
27. 半導体ダイから延びる接触構造の端部に関する頂上構造を事前に製造する方法が、

- 少なくとも1つの導電材料からなる少なくとも1つの層を、シリコン・ウェハの表面上に配置するステップ、
少なくとも1つの導電層の上にマスクング材料からなる層を配置するステップ、
前記マスクング材料に開口をパターン化するステップ、
少なくとも1つの導電材料からなる少なくとも1つの層を、前記開口に配置するステップ、及び
マスクング材料を除去するステップを含むことを特徴とする、前記方法。
28. 開口内で以前配置された少なくとも1つの導電材料からなる少なくとも1つの層の上に、接続層を配置するステップを更に含むことを特徴とする、請求項27に記載の方法。
29. 頂上構造を接触構造の端部に接続するステップを更に含むことを特徴とする、請求項28に記載の方法。
30. 接触構造が弾性接触構造であることを特徴とする、請求項29に記載の方法。
31. 接触構造が複合相互接続要素であることを特徴とする、請求項29に記載の

方法。

32. 接触構造が、単一化されていない半導体デバイスの上に配置された弾性接触構造であることを特徴とする、請求項29に記載の方法。

33. 半導体デバイスの訓練（テスト及び／またはバーニン）する方法が、

半導体ウエハ上の複数の単一化されていない半導体ダイ上に、複数の複合相互接続要素を製造するステップ、

単一化されていない半導体ダイの少なくとも一部で訓練を行うステップ、及び

半導体ダイを半導体ウエハから単一化するステップを含むことを特徴とする、前記方法。

34. 複数の複合相互接続要素を製造する前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項33に記載の方法。

35. 単一化されていない半導体ダイを訓練する前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項33に記載の方法。

36. 複数の複合相互接続要素を製造するステップが、

半導体ダイの上にブランケット導電層を配置し、前記ブランケット導電層の上にパターン化されたマス킹層を提供するステップ、

細長い要素をブランケット導電層に取り付けるステップ、及び

前記細長い要素を金属材料で上塗りするステップを含むことを特徴とする、請求項33に記載の方法。

37. 細長い要素を取り付ける前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項36に記載の方法。

38. 細長い要素を上塗りする前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項36に記載の方法。

39. ウエハから半導体ダイを単一化するステップを更に含むこと

を特徴とする、請求項33に記載の方法。

40. 単一化された半導体ダイの最終組立を実行するステップを更に含むことを特徴とする、請求項39に記載の方法。

41. 半導体デバイスの訓練（テスト及び／またはバーンイン）する方法が、
半導体ウエハ上の複数の単一化されていない半導体ダイ上に、複数の弾性接触構造を取り付けるステップ、
単一化されていない半導体ダイの少なくとも一部で訓練を行うステップ、及び
半導体ダイを半導体ウエハから単一化するステップを含むことを特徴とする、
前記方法。
42. 半導体デバイスをバーンインする方法が、
半導体ウエハ上の複数の単一化されていない半導体ダイ上に、複数の弾性接触構造を取り付けるステップ、
単一化されていない半導体ダイの一部の上の弾性接触構造に圧縮接続を行うことによって、単一化されていない半導体ダイの少なくとも一部でパワーアップを行うステップ、及び
半導体デバイスを少なくとも150℃で60分未満の間、加熱するステップを含むことを特徴とする、前記方法。
43. 半導体デバイスを製造する方法が、
半導体デバイスの表面上にターミナルを提供するステップ、及び
前記ターミナルに独立弾性接触構造を取り付けるステップを含むことを特徴とする、前記方法。

44. 弾性接触構造が、ターミナルに対して空気遮断シールされることを特徴とする、請求項43に記載の方法。
45. 前記ターミナルが、
マスクング層をブランケット導電層の上に配置し、及び
各ターミナルの所望の位置でマスクング層に開口を設けることによって形成されることを特徴とする、請求項43に記載の方法。
46. 2つ以上のターミナルの相互接続からなるグループから選択された機能を実行する、ブランケット導電層の一部を定義する追加の開口をマスクング層に提供するステップ、
接地、及び／またはパワー・プレーンを提供するステップ、及び

半導体デバイスの上に直接1つ、または複数のコンデンサを提供するステップを更に含むことを特徴とする、請求項45に記載の方法。

【発明の詳細な説明】

半導体デバイス上へのばね要素の取り付け、 及びウエハレベルのテストを行う方法

発明の技術分野

本発明は、電子素子間の一時的な圧縮接続に関し、より詳しくは、半導体デバイスのパッケージングの前に、好ましくは個々の半導体デバイスが半導体ウエハから単一化（分離）される前に、その半導体デバイスを「訓練する」（テスト、及びバーン－イン手順を実施する）技法に関する。

関連出願の相互参照

この特許出願は、本出願人が1995年5月26日に提出し、同時係属出願の米国特許出願番号08/452,255（ここでは「親出願」、状況：係属中）の一部継続出願であり、前記出願は、本出願人が1994年11月15日に提出し、同時係属出願の米国特許出願番号08/340,144（状況：係属中）の一部継続出願であり、その複製であるPCT特許出願PCT/US94/13373が1994年11月16日に提出（W095/14314として1995年5月26日に公開）され、この両方の出願は、本出願人が1993年11月16日に提出し、同時係属出願の米国特許出願番号08/152,812（状況：係属中／特許取得）の一部継続出願である。

この特許出願はまた、本出願人が1995年9月21日に提出し、同時係属出願の米国特許出願番号08/526,246（状況：係属中）の一部継続出願であり、本出願人が1995年10月18日に提出し、同時係属出願の米国特許出願番号08/533,584（状況：係属中）の一部継続出願であり、更に、本出願人が1995年11月9日に提出し、同時係属出願の米国特許出願番号（文書番号94-553-US）の一部継続出願である。

発明の背景

個々の半導体（集積回路）デバイス（ダイ）は通常、写真製版、蒸着などの既知の技法を用いて、いくつかの同様なデバイスを半導体ウエハ上に作成することによって製造される。普通、これらの処理は、半導体ウエハから個々のダイを単一化（分離）する前に、複数の完全に機能する集積回路デバイスを作るよう意図

される。しかし実際は、ウエハ自身のある物理的欠陥とウエハの処理におけるある欠陥のために、いくつかのダイが「良好な」（完全に機能する）ものであり、いくつかのダイが「不良な」（機能しない）ものとなることは避けられない。パッケージングの前に、及び好ましくはダイがウエハから単一化される前に、ウエハ上の複数のダイのうちどれが良好かを識別できることが一般的に望ましい。この目的のために、ウエハの「テスト」または「プローバ」が、複数の分離した圧縮接続をダイ上の同じく複数の分離したコネクタパッド（接続パッド）に対して行い、ダイに信号（電源を含む）を提供する。このように、半導体ダイは、そのダイがウエハから単一化される前に訓練（テスト、及びバーン－イン）されうる。従来のウエハ・テストの素子は、複数のプローブ要素が接続される「プローブ・カード」であり、そのプローブ要素の頂上は半導体ダイのそれぞれの接続パッド

ドに対し、圧縮接続をもたらす。

半導体ダイのプローブに関する任意の技法におけるいくつかの問題は固有のものである。例えば、現代の集積回路は、何百もの互いに密接して（例えば、中心間の距離が0.127mm（5ミル））配置された接続パッドを必要とする何千ものトランジスタ素子を含んでいる。更に、この接続パッドのレイアウトは、ダイの周辺端に近接して配置される接続パッドの単一行に限定される必要はない（例えば、米国特許第5,453,583号）。

プローブ要素と半導体ダイの間の信頼性のある圧縮接続を行うために、これに限られるわけではないが、アライメント、プローブ力、オーバードライブ、接触力、バランスのとれた圧縮力、浄化（scrub）、接触抵抗、及び平坦化を含む、いくつかのパラメータと関連づける必要がある。これらのパラメータに関する一般的な議論は、ここで参照することによって本明細書に取り込まれる、「HIGH DENSITY PROBE CARD」というタイトルの米国特許第4,837,622号に記載されており、この特許は、プローブ要素の事前成形されたエポキシ・リング・アレイを受容するよう適用された中央開口を有する単一のプリント回路ボードを含む高密度エポキシ・リング・プローブ・カードを開示している。

一般に、従来のプローブ・カード・アセンブリは、プローブ・カードの表面か

ら型持ち梁として延びる複数のタングステンの針を含んでいる。タングステンの針は、上述したエポキシ・リングの手段のような、任意の好適な方法でプローブ・カードに取り付けられう

る。一般に、どんな場合でも、この針は、針をプローブ・カードのターミナルに接続する、異なる別のワイヤ手段によって、プローブ・カードのターミナルに接続される。

プローブ・カードは通常、環状のリングとして、そのリングの内周から延びる（更にプローブ・カードのターミナルに接続される）何百ものプローブ要素（針）を有するように形成される。好ましくは同じ長さの回路モジュール、及び導電トレース（線）が、プローブ要素のそれぞれに関連づけられる。このリング形状レイアウトは、特に各半導体ダイの接続パッドが、半導体ダイの2つの対向する端に沿った2つの線形アレイ以外に配置される場合に、ウエハ上に単一化されていない複数の半導体ダイ（複数サイト）をプローブすることを困難にし、場合によっては不可能にする。

ウエハのテストは、「LARGE SCALE PROTRUSION MEMBRANE FOR SEMICONDUCTOR DEVICES UNDER TEST WITH VERY HIGH PIN COUNTS」というタイトルの米国特許第5,422,574号で議論されているように、代替的に中央接触隆起(bump)領域を有するプローブ薄膜を使用でき、この特許は、ここで参照することによって、本明細書に取り込まれる。この特許には、「テスト・システムは通常、一連のテスト・プログラムを実行し、制御するためのテスト・コントローラ、テストの準備としてウエハを機械的に処理し、位置付けるためのウエハ適用システム、テスト対象のデバイス(DUT)に正確な機械的接触を保持するためのプローブ・カードを含む（行41-46、カラム1）」と記されている。

更なる参照は、ここで参照することによって、半導体デバイスのテストにおける技術の状況を示すものとして本明細書に取り込まれ、米国特許第5,442,282号「TESTING AND EXERCISING INDIVIDUAL UNSINGULATED DIES ON A WAFER」；米国特許第5,382,898号「HIGH DENSITY PROBE CARD FOR TESTING ELECTRICAL CIRCUITS」

TS」；米国特許第5,378,982号「TEST PROBE FOR PANEL HAVING AN OVERLYING PROTECTIVE MEMBER ADJACENT PANEL CONTACTS」；米国特許第5,339,027号「RIGID-FLEX CIRCUITS WITH RAISED FEATURES AS IC TEST PROBES」；米国特許第5,180,977号「MEMBRANE PROBE CONTACT BUMP COMPLIANCY SYSTEM」；米国特許第5,066,907号「PROBE SYSTEM FOR DEVICE AND CIRCUIT TESTING」；米国特許第4,757,256号「HIGH DENSITY PROBE CARD」；米国特許第4,161,692号「PROBE DEVICE FOR INTEGRATED CIRCUIT WAFERS」；及び米国特許第3,990,689号「ADJUSTABLE HOLDER ASSEMBLY FOR POSITIONING A VACUUM CHUCK」を含む。

一般に、電子素子間の相互接続は、2つの広いカテゴリ、「比較的常設的接続」及び「容易に取り外し可能な接続」に分類される。

「比較的常設的接続」の接続の例は、はんだ接続である。2つの素子が互いにはんだ付けされると、その接続を分離するためにはんだ付けを除去する処理が必要になる。ワイヤ接続は、「比較的常設的接続」の接続のもう1つの例である。

「容易に取り外し可能な接続」の接続の例は、別の電子素子の弾性のあるソケット要素によって受容されている1つの電子素子の堅いピンである。このソケット要素はピンに、それらの間の電気接続

の信頼性を保証するのに十分な接触力（圧力）を与える。

電子素子のターミナルに接する圧力を生成しようとする相互接続要素は、ここでは「ばね」または「ばね要素」と呼ばれる。一般に、電子素子（例えば電子素子上のターミナル）に対する信頼性のある圧力接触を提供するために、一定の最小接触力が要求される。例えば、およそ15グラムの接触（負荷）力（接触毎に2グラム以下の小さい力、及び150グラム以上の大きな力を含む）が、フィルムで表面が汚染される可能性があり、または表面が腐食したり酸化されたりしている製品を有する電子素子のターミナルに、信頼性のある電子接続がなされることを保証するために必要とされる。各ばねの要求される最小接触力は、ばね材料の耐力(yield strength)、またはばね要素のサイズが大きくなることを要求する。一般的な命題として、材料の耐力をより高くすると、その材料の作業（例えば、型抜き、曲げ等）がますます困難になる。ばねをより小さくするという要求は、基

本的にその断面積をより大きくすることを許さない。

プローブ要素は、特に本発明に対してはばね要素に分類される。従来技術のプローブ要素は、共通してチタンや比較的堅い（耐力の高い）材料から製造される。こうした比較的堅い材料を電子素子のターミナルに取り付けようとする場合、ろう付け(brazing)のような比較的「敵意がある」処理（例えば高温処理）が要求される。このような「敵意のある」処理は通常、半導体デバイスのような、比較的「こわれ物」の電子素子に関して好ましくない（または適当でないことが多い）。それとは対照的にワイヤ接続は、壊れやすい電子

素子に対して、ろう付けよりかなり潜在的ダメージが少ない、比較的「フレンドリ」な処理の例である。はんだ付けは、比較的「フレンドリ」な処理の別の例である。しかし、はんだと金の両方は、ばね要素としては良好に機能しない、比較的柔らかい（耐力の低い）材料である。

ばね接触を含む相互接続に関する別の微妙な問題は、電子素子のターミナルがしばしば完全には共面ではないことである。「誤差」（全体的に平面でない）を調節するためのいくつかの組み込みメカニズムのない相互接続要素は、強く圧縮されて、電子素子のターミナルに接触する、一貫した接触圧力を生成する。

以下の米国特許は、ここで参照されることによって本明細書に組み込まれ、電子素子に対する接続、特に圧縮接続の実施に関して、一般的な関心を持つものとして引用されている。米国特許第5,386,344号「FLEX CIRCUIT CARD ELASTOMERIC CABLE CONNECTOR ASSEMBLY」；米国特許第5,336,380号「SPRING BIASED TAPERED CONTACT ELEMENTS FOR ELECTRICAL CONNECTORS AND INTEGRATED CIRCUIT PACKAGES」；米国特許第5,317,479号「PLATED COMPLIANT LEAD」；米国特許第5,086,337号「CONNECTING STRUCTURE OF ELECTRONIC PART AND ELECTRONIC DEVICE USING THE STRUCTURE」；米国特許第5,067,007号「SEMICONDUCTOR DEVICE HAVING LEADS FOR MOUNTING TO A SURFACE OF A PRINTED CIRCUIT BOARD」；米国特許第4,989,069号「SEMICONDUCTOR PACKAGE HAVING LEADS THAT BREAK-AWAY FROM SUPPORTS」；米国特許第4,893,172号「CONNECTING STRUCTURE FOR ELECT

RONIC PART AND METHOD OF MANUFACTURING THE SAME」；米国特許第4,793,814号「ELECTRICAL CIRCUIT BOARD INTERCONNECT」；米国特許第4,777,564号「LEADFORM FOR USE WITH SURFACE MOUNTED COMPONENTS」；米国特許第4,764,848号「SURFACE MOUNTED ARRAY STRAIN RELIEF DEVICE」；米国特許第4,667,219号「SEMICONDUCTOR CHIP INTERFACE」；米国特許第4,642,889号「COMPLIANT INTERCONNECTION AND METHOD THEREFOR」；米国特許第4,330,165号「PRESS-CONTACT TYPE INTERCONNECTORS」；米国特許第4,295,700号「INTERCONNECTORS」；米国特許第4,067,104号「METHOD OF FABRICATING AN ARRAY OF FLEXIBLE METALLIC INTERCONNECTS FOR COUPLING MICROELECTRONICS COMPONENTS」；米国特許第3,795,037号「ELECTRICAL CONNECTOR DEVICES」；米国特許第3,616,532号「MULTILAYER PRINTED CIRCUIT ELECTRICAL INTERCONNECTION DEVICE」；米国特許第3,509,270号「INTERCONNECTION FOR PRINTED CIRCUITS AND METHOD OF MAKING SAME」。

通常、上述のプロープ技法を通して、プロープ・カードまたはそれに類似するものから、またはその上に延びる複数の弾性の接触構造を有する前記プロープ・カードまたはそれに類似するものは、半導体ウエハに対して、個々の半導体ダイ上の対応する複数のターミナル（接続パッド）に圧縮接続を行うようにされている。半導体ダイ（例えば、ダイの2つの両側端部のそれぞれの上にある接続パッドの線形アレイ）上の接続パッドのレイアウトに依存して、端から端に配置された、わずかな数（例えば、4）の単一化されていないダ

イに圧縮接続を行うことができる場合もある。（端から端に配置されたダイは、2つの行のパッドを有する1つの長いダイとして扱われうる。）

わずかな数の技法が、半導体チップ・アセンブリに半導体ダイ（チップ）の表面から遠く離れてバイアスされているターミナルを提供する技法を示唆している。「SEMICONDUCTOR CHIP ASSEMBLIES AND COMPONENTS WITH PRESSURE CONTACT」というタイトルの米国特許第5,414,298号には、こうしたアセンブリが「非常に簡潔で、チップ自身の領域よりわずかに広いだけの領域を占める」ことが開示されている。

こうした技法をウエハーレベルに拡張することが単純で直感的なステップであ

るという気にさせられる。対照的に、こうしたダイより大きな「アセンブリ」が、各隣接ダイの間に配置される大きく拡張された切断（スクライビング）領域となることを必要とせず、いかにウエハーレベルに調整されうるのかが全く明らかでない。更に、こうした「アセンブリ」が複数の単一化されていないダイの上でいかに製造されるのかが全く明らかでない。更に、こうしたアセンブリは通常、周辺アレイ（即ち、半導体ダイ上の接続パッドの周辺（端）レイアウト）をターミナルの領域アレイ（例えば、行、及び列）に「変換」するよう強いられ、その変換を実施するために、多くの貴重な「土地」を要求する。接続を経路付けることは、1つの重大な制限であり、通常接続ファンイン(fan-in)である。非金属材料（即ち、高温を持続できない材料）の使用は、また別の関心事

である。

前述の米国特許第5, 414, 298号に記載されているような任意の技法に関する別の重要な関心は、ダイの表面が覆われることである。このことは通常好ましくなく、特にガリウム・ヒ素半導体デバイスに関して好ましくない。

発明の簡単な説明（概要）

本発明の目的は、半導体ダイが半導体ウエハから単一化（分離）される前に、半導体ダイをテスト（検査及び／またはバーンイン）する技法を提供することである。

本発明の別の目的は、半導体ダイが半導体ウエハから単一化（分離）される前に、ダイの配置やダイの接続パッドのレイアウトに制約されることなく、半導体ダイをプローブする技法を提供することである。

本発明の別の目的は、半導体ダイが半導体ウエハから単一化（分離）される前に、プローブ・カードにそこから延びる弾性の接触構造を提供することを要求するのではなく、必要な弾性及び／または半導体ダイ上に常駐する柔軟性(compliance)で、半導体ダイをプローブする技法を提供することである。

本発明の別の目的は、弾性接触構造を直接半導体デバイスに取り付けることであり、それによって、弾性接触構造を介してデバイスを訓練（テスト及びバーンイン）し、半導体デバイスの最終パッケージングに同じ弾性接触構造を使用でき

る。

本発明の別の目的は、数分で（数時間に対比して）半導体デバイ

スを満足にバーンインする技法を提供することである。

本発明の別の目的は、直接電子素子のターミナルに取り付けられうる改良されたばね要素（弾性接触構造）を提供することである。

本発明の別の目的は、電子素子に対して圧力接触を実施するのに適した相互接続要素を提供することである。

本発明に従うと、ばね接触要素（複合相互接続要素）は、直接半導体ダイに取り付けられる。このばね接触要素は、半導体ダイが半導体ウエハから単一化（分離）される前に、半導体ダイに取り付けられることが好ましい。この方法では、複数の圧力接触が、半導体デバイスその他をパワーアップする「単純な」テスト・ボードを使用して、1つあるいはそれ以上の単一化されていない半導体ダイ（デバイス）に対して行われうる。

ここで用いられるように、「単純な」テスト・ボードは、複数の基板表面から延びるプローブ要素を有する基板である、従来の「プローブ・カード」とは対照的に、複数のターミナル、または電極を有する基板である。単純なテスト・ボードは、従来のカードに比べて高価でなく、より容易な構成である。更に、従来のプローブ・カードにおける一定の固有な物理的制限は、単純なテスト・ボードを使用して半導体デバイスに対して好ましい圧力接触を行う際には発生しない。

この方法で、複数の単一化されていない半導体ダイは、半導体ダイがウエハから単一化（分離）される前に訓練（テスト及び／またはバーンイン）されうる。

本発明の一態様に従うと、半導体ダイに取り付けられ、半導体ダイを訓練するために使用される同様のばね接触要素が、半導体ダイがウエハから単一化されてしまった後に半導体ダイに永続的接続を行うために使用されうる。

本発明の一態様に従うと、弾性接触構造は、直接半導体デバイスのターミナル上に製造される「複合相互接続要素」として形成されることが好ましい。「複合」（複数層）相互接続要素は、細長い要素（「核」）を電子素子に取り付け、そ

の核をばね形状を持つように形成し、その核を、結果の複合相互接続要素の物理（例えば、ばね）特性を保証するように、及び／または結果の複合相互接続要素を電子素子にしっかり保持するように上塗りすることによって製造される。インタポーザ素子の弾性接触構造もまた、複合相互接続要素として形成されうる。

「複合」という用語は、ここでの記述を通して、その用語の「一般的」な意味（例えば、2つ以上の要素からなる）と一致し、例えば、樹脂その他のマトリックスに支持されたガラス、炭素、または他の繊維といった材料に適応されうる場合のように、他の努力分野における「複合」のいかなる使用とも混同すべきではない。

「ばね形状」という用語は、ここで用いられるように、頂上に加えられた力に関して、細長い要素の端部（頂上）の弾性（復活可能な）移動を示す細長い要素の実質的な任意の形状を指す。これは、実質的に真っ直ぐな細長い要素と、1つ以上の屈曲を有する形状の細長い要素を含む。

「接触領域」、「ターミナル」、「パッド」、及びこれに類する用語は、ここで用いられるように、相互接続要素が取り付けられ、または接触が行われる任意の電子素子上の任意の導電領域を指す。

また、核は電子素子への取り付け前に形成される。

また、核は、電子素子でない犠牲基板(sacrificial substrate)に取り付けられ、またはその一部となる。犠牲基板は形成の後で、かつ上塗りの前又は後で取り除かれる。本発明の態様に従って、様々な構造的特徴を有する頂上が、相互接続要素の接触端部に配置される。（親出願の図11Aないし11Fを参照）。

本発明の実施例では、核は低い耐力を有する「柔らかい」材料であり、比較的高い耐力を有する「堅い」材料で上塗りされる。例えば、金のワイヤのような柔らかい材料が、半導体デバイスの接続パッドに取り付けられ（例えば、ワイヤ接続によって）、ニッケル及びその合金のような堅い材料によって上塗りされる（例えば、電気化学的メッキ処理によって）。

核の上塗りに関しては、単一、及び複数の層の上塗り、微小突起物（親出願の図5C及び5Dも参照）を有する「粗い」上塗り、及び核の長さ全体、又は長さの一

部のみに広がる上塗りが記述されている。後者の場合、電子素子に接触を行うために、核の頂上が好適に露出されうる（親出願の図5Bも参照）。

一般に、ここでなされている記述の中では、「メッキ処理」の用語は、核を上塗りするための多くの技法の例として使用される。核が、水性溶液以外の材料のメッキ(deposition)、電子的なメッキ処

理、無電解メッキ処理、化学真空メッキ(CVD)、物理真空メッキ(PVD)を含む様々な処理、液体、固体先駆物質の分解を生じさせる処理、及び同様の処理（これに制限されるものではない）を含む好適な技法によって上塗りされることは本発明の範囲内であり、材料をメッキするこれらの技法の全ては一般によく知られたものである。

一般に、核にニッケルのような金属材料を上塗りする場合、電気化学的処理が好ましく、特に無電解メッキ処理が好ましい。

本発明の別の実施例では、核が、本質的にばね要素としての機能を達成するのに好適な「堅い」材料からなる細長い要素であり、電子素子のターミナルの一端で取り付けられる。核、及び少なくともターミナルの隣接領域は、核のそのターミナルに対する保持を高める材料で上塗りされる。この方法では、核が上塗りの前にターミナルに対して良好に取り付けられる必要がなく、電子素子に対する潜在的なダメージが少ない処理が、核を以降の上塗りに適する位置に「軽く留める」ために用いられうる。これらの「フレンドリな」処理は、はんだ付け、接着、及び堅い核の端部をターミナルの柔らかい部分に向けて刺し通す処理を含む。

核はワイヤの形状に形成されることが好ましい。また、核は平坦なタブ（導電金属のリボン）である。

核、及び上塗りの両者に関する代表的な材料が開示されている。

以下の主な部分では、通常非常に小さい寸法（例えば、0.0762mm(3.0ミル)以下）である、比較的柔らかい（低い耐力）核で始まる技法が記載されている。簡単に半導体デバイスに取り付けられる金の

ような柔らかい材料は、通常ばねとして機能するための十分な弾性を有していな

い。（こうした柔らかい、金属材料は、弾性の変形よりむしろ、基本的には可塑性の変形を示す。）半導体デバイスに簡単に取り付けられ、適当な弾性を有する、他の柔らかい材料は、ほとんどのエラストマー材料の場合と同様、電気導電性のないことが多い。いずれにせよ、好ましい構造及び電気特性は、核に上塗りが適用されることによって結果の複合相互接続要素に与えられうる。結果の複合相互接続要素は非常に小さく製造できるが、適切な接触力を示すことはできない。更に、こうした多くの複合相互接続要素は、たとえそれらが隣接する複合相互接続要素までの距離（隣接する相互接続要素の距離間隔は「ピッチ」と呼ばれる）よりかなり大きい長さ（例えば、2.54mm(100ミル)）を有していても、細かいピッチ（例えば、0.254mm(10ミル)）で配置されうる。

複合相互接続要素が、例えば、25ミクロン（ μm ）以下の程度の断面積寸法を有する、コネクタ及びソケットの「微小ばね」として、超小型の規模で製造されうることは、本発明の範囲に含まれる。ミル（0.0254mm）単位というよりむしろ、ミクロン単位の寸法を有する信頼性のある相互接続を行うことができることは、既存の相互接続技法、及び将来の領域アレイ技法の、発展する要求にはっきり対処している。

本発明の複合相互接続要素は、電気導電性、はんだ性(solderability)、及び低い接触抵抗を含む優れた電気特性を示す。多くの場合、接触力が加えられたことに応答して生じる相互接続要素の歪みは、

信頼性のある接触が行われることを保証する助けとなる「擦る」接触を提供することになる。

本発明の更なる利点は、本発明の相互接続要素で行われた接続が容易に取り外せることである。電子素子のターミナルに対する相互接続を行うためのはんだ付けはオプションであるが、システム・レベルでは通常好ましくない。

本発明の一態様に従って、制御されたインピーダンスを有する相互接続要素を製造するための技法が記述されている。これらの技法は通常、絶縁材料（絶縁層）で導電性の核、または複合相互接続要素の全体を被覆する技法（例えば、電気泳動被覆）、及び導電性の材料からなる外側層で絶縁の材料を上塗りする技法を

含む。外側導電性材料層を接地することによって、結果の相互接続要素は効果的に保護され、そのインピーダンスが容易に制御される。（親出願の図10K参照）

本発明の一態様に従って、相互接続要素は、後で電子素子に取り付けるために、個別の単位として事前に製造される。この目的を達成するための様々な方法が、ここで記述される。この明細書で特にカバーされてはいないが、多くの個々の相互要素の基板への取り付け、または多くの個々の相互接続要素のエラストマー内、または支持基板上への取り付けを扱う機械を製造することは、比較的容易であると考えられる。

本発明の複合相互接続要素が、電気導電特性を高めるように、または腐食に対する抵抗を高めるように被覆されている、従来の相互

接続要素とは劇的に異なっていることがはっきり理解される。

本発明の上塗りは特に、電子素子のターミナルに対する相互接続要素の保持を実質的に高め、及び／または結果の複合相互接続要素に望ましい弾性特性を与えることを意図したものである。応力（接触力）は、特にその応力を吸収しようとしている相互接続要素の部分に向けられる。

本発明が基本的に、ばね要素を製造するための新しい技法を提供することもまた、評価されるべきものである。一般に、結果のばねの効果のある構造は、屈曲と形成よりむしろ、メッキの結果である。このことは、ばね形状を確立するための広範な種々の材料、及び電子素子に核の「足場」を取り付けるための様々な「フレンドリな」処理を使用するための先鞭を付けた。上塗りは、核の「足場」にわたる「土台」として機能し、この用語は両方とも土木工学の分野が元になっている。

本発明の固有の利点は、ろう付けやはんだ付けのように追加の材料を必要とせずに、プローブ要素（弾性接触構造）が直接半導体デバイス上に製造されうることである。

本発明の一態様によれば、弾性接触構造のいずれかが、少なくとも2つの複合相互接続要素として形成されうる。

本発明の利点は、

(a) 複合相互接続要素が全て金属で、結果的に、バーンインを高温、かつ短時間に実施できる。

(b) 複合相互接続要素は独立しており、通常半導体デバイスの接続

パッドのレイアウトに制限されない。

(c) 本発明の複合相互接続要素は、それらの頂上をそれらの基部より大きいピッチ（間隔）で備えるよう適用され、それによってじかに（例えば、第1レベルの相互接続）、半導体のピッチ（例えば、0.254mm（10ミル））からワイヤ接続している基体のピッチ（例えば、2.54mm（100ミル））まで、ピッチを広げる処理を開始し、進める。

本発明の他の目的、特徴、及び利点は、以下の記述によって明らかにされる。

簡単な図面の説明

本発明の好適実施例に対して詳細な参照がなされ、この実施例は添付図面に示されている。本発明はこれらの好適な図面に関して記述されているが、これらの特定の実施例に本発明の意図、及び範囲を制限すべきではないことを理解すべきである。

図1Aは、本発明の実施例に従う、相互接続要素の一端を含む、縦方向の部分断面図である。

図1Bは、本発明の別の実施例に従う、相互接続要素の一端を含む、縦方向の部分断面図である。

図1Cは、本発明の別の実施例に従う、相互接続要素の一端を含む、縦方向の部分断面図である。

図1Dは、本発明の別の実施例に従う、相互接続要素の一端を含む、縦方向の部分断面図である。

図1Eは、本発明の別の実施例に従う、相互接続要素の一端を含む、縦方向の部分断面図である。

図2Aは、本発明に従う、電子素子のターミナルに取り付けられ、複数の層のシエルを有する相互接続要素の断面図である。

図2Bは、本発明に従う、複数の層のシェルを有し、中間層が絶縁材料からなる相互接続要素の断面図である。

図2Cは、本発明に従う、電子素子に取り付けられた（例えば、プローブ・カード挿入）複数の相互接続要素の透視図である。

図2Dは、本発明に従う、相互接続要素を製造するための技法の第1ステップの例の断面図である。

図2Eは、本発明に従う、相互接続要素を製造するための図2Dの技法の次のステップの例の断面図である。

図2Fは、本発明に従う、相互接続要素を製造するための図2Eの技法の次のステップの例の断面図である。

図2Gは、本発明に従う、図2Dないし2Fの技法に従って製造された複数の個々の相互接続要素の断面図である。

図2Hは、本発明に従う、図2Dないし2Fの技法に従って製造され、互いに空間的な関係で関連付けられた複数の個々の相互接続要素の例の断面図である。

図2Iは、本発明に従う、1つの要素の一端を示す、相互接続要素を製造するための代替実施例の断面図である。

図3Aは、フォトリソ層の開口を介して基体に適用された金属層にその自由端が接続された、本発明に従うワイヤの側面図である。

図3Bは、上塗りされたワイヤを有する、本発明に従う図3Aの基体の側面図である。

図3Cは、フォトリソ層が除去され、金属層が部分的に除去された、本発明に従う図3Bの基体の側面図である。

図3Dは、本発明に従って、図3Aないし3Cに示された技法に従って形成された半導体デバイスの透視図である。

図4Aないし4Eは、本発明に従う、半導体ダイに弾性接触構造を取り付ける技法の側面図である。

図4F及び4Gは、図4Aないし4Eに関連して記述されたものと同様、半導体ダイがウエハから単一化される前に、本発明に従って、弾性接触構造を半導体ダイに取

り付けるための技法の側面図である。

図5は、本発明に従って、半導体ダイ上の複数ダイのサイトに取り付けられた複数の弾性接触構造の部分透視図である。

図5Aは、本発明に従って、半導体ダイに取り付けられ、「ピンアウト」（ここで使用されるように、接続パッドの間隔）の効果的なピッチを増大させる複数の弾性接触構造の部分透視図である。

図6Aないし6Cは、本発明に従って、ダイ上に（ウエハ上またはそこからさいの目に切られた（diced）ものの上のどちらか）に弾性接触構造を形成する処理の透視図である。

図6Dは、本発明に従って、ダイ上に（ウエハ上またはそこからさいの目に切られたものの上のどちらか）弾性接触構造を形成するための代替処理（図6Aないし6Cに対する）の透視図である。

図7Aは、本発明に従って、テスト及び／パーンインが実施されている際の、直接弾性接触構造が取り付けられた単一化されていない半導体ダイの断面図である。

図7Bは、本発明に従って、直接取り付けられている同じ弾性接触構造を使用し、ワイヤ接続基板に相互接続を行う、図7Aの単一化された半導体ダイの断面図である。

図7Cは、従来の技術に従う、半導体デバイスがたどるウエハからパッケージングまでの例示経路を示すフローチャートである。

図7Dは、本発明に従う、半導体デバイスがたどるウエハからパッケージングまでの例示経路を示すフローチャートである。

図8Aは、本発明に従う、ブローブ要素の頂上構造を製造する技法の断面図である。

図8Bは、本発明に従う、図8Aの技法の更なるステップの断面図である。

図8Cは、本発明に従う、空間変形要素の、部分断面かつ部分完全の側面図である。

図8Dは、本発明に従う、図8Bの頂上構造に結合されている図8Cの空間変形要素

子の、部分断面かつ部分完全の側面図である。

図8Eは、本発明に従う、図8Bの頂上構造に結合されている図8Cの空間変形素子を結合する際の更なるステップの、部分断面かつ部分完全の側面図である。

図8Fは、本発明に従う、外部素子に相互接続する接触構造の部分を示す側面図である。

図9Aないし9Dは、本発明に従う、露出したワイヤ・ステムの中間部分に相互接続するのに適した弾性接触構造を製造する技法の透視図である。

図9Eは、本発明に従って、ワイヤ・ステムを切断することなく、複数の独立した接触構造を製造する技法の透視図である。

図9Fは、本発明に従って、ワイヤ・ステムを切断することなく、複数の独立した接触構造を製造する代替技法の透視図である。

図10A及び10Bは、本発明に従って、ワイヤ・ステムを切断することなく、複数の独立した接触構造を製造する代替技法の透視図である。

図10C及び10Dは、本発明に従って、電子炎 (electronic flame) を除くことなく (この場合はループから)、独立したワイヤ・ステムを製造する技法を示す側面図である。

ここで示す側面図では、側面図のたいていの部分が、明確さのために断面図で示されている。例えば、図の多くは、ワイヤ・ステムが太線で完全に示されているが、上塗りは、適正な断面で (陰影なしが多い) 示される。

ここで示される図は、一定の要素のサイズが、明確な例示のために誇張されることが多い (その図の中の他の要素と同じ縮尺でない)。

発明の詳細な説明

本発明の出願は、半導体デバイスが半導体ウエハ上に常駐している間に (例えば、半導体デバイスがウエハから単一化される前に)、半導体デバイスをテスト (訓練、及びバーンインを含む) する技法を指向したものである。以下の説明から明らかとなるように、この技法は半導体デバイス上に直接、弾性接触構造を製造し、半導体デ

パイスをテストするために弾性接触構造への圧縮接続を実施し、半導体ダイがウエハから単一化された後に、同じ弾性接触構造を使用して半導体ダイに接続することを含む。弾性接触構造は、前述の1995年5月26日出願の（「親出願」）米国特許出願第08/452,225号の開示に記載されているような、「複合相互接続要素」として実施されるのが好ましく、この出願は、ここで参照することによって、本明細書に組み込まれる。本特許出願は、図1Aないし1E、及び2Aないし2Iの議論において、親出願で開示されたいくつかの技法を要約する。

本発明を実施するための好適技法の重要な態様は、「複合」相互接続要素が、核（これは電子素子のターミナルに取り付けられうる）から始まり、次に(1)結果の複合相互接続要素の機械的特性を確立し、及び／または(2)相互接続要素が電子素子のターミナルに取り付けられている場合に、その相互接続要素をターミナルにしっかり保持するために、その核を適当な材料で上塗りすることによって形成されうることである。こうして、弾性のある相互接続要素（ばね要素）を製造でき、それは、容易にばねの形状に形成され、最も壊れやすい電子素子に対しても容易に取り付けできる、柔らかい材料からなる核で開始される。堅い材料からばね要素を形成する従来技術の技法からは、柔らかい材料がばね要素の基礎を形成できることは、容易には明らかでなく、直感的には理解できなV、ものとして議論の余地がある。

図1A、1B、1C、及び1Dは、本発明に従い、一般的な方法で、複合

相互接続要素の様々な形状を例示している。

この後は主に、弾性を示す複合相互接続要素が記述される。しかし、非弾性の複合相互接続要素も本発明の範囲に含まれると理解される。

更に、この後主に、（容易に形成され、フレンドリな処理によって電子素子に取り付けやすい）柔らかい核を有し、堅い（ばね状の）材料によって上塗りされる複合相互接続要素が記述される。しかし、核が堅い金属で、上塗りが相互接続要素を電子素子にしっかり保持するために主として機能しているものは、本発明の範囲に含まれる。

図1Aでは、電子相互接続要素110は「柔らかい」材料の核112（例えば、275.79

MPa (40,000psi)より小さい耐力を有する材料)、及び「堅い」材料(例えば、551.58MPa (80,000psi)より大きな耐力を有する材料)のシェル(上塗り)114を含む。核112は、実質的に片持ち梁(cantilever)として形成(構成)された細長い要素であり、0.0127mmないし0.0762mm (0.0005ないし0.0030インチ)の直径(0.001インチ=1ミル \approx 25ミクロン(μ m))を有するワイヤであつてもよい。シェル114は、既に形成された核112上に、好適なメッキ処理(例えば、電気化学的メッキ処理)のような、任意の好適な処理によって付加される。

図1Aは、本発明の相互接続要素のばね形状として恐らく何が最も簡単かを示しており、それは即ち、頂上110bで加えられる力「F」に対してある角度で向けられた真っ直ぐな片持ち梁である。こうした力が電子素子のターミナルによって、相互接続要素が圧力の接触

を行う部分に加えられた場合、(示されるように)頂上の下向きの歪みが、明らかに、ターミナルを横切る頂上の移動を「擦る」動作で生じさせる。こうした擦る接触は、相互接続要素と電子素子の接触したターミナルの間で行われる信頼性のある接触を保証する。

その「堅さ」のために、及びその厚さ(0.00635mmないし0.127mm (0.00025ないし0.00500インチ))の制御によって、シェル114は好ましい弾性を相互接続要素110の全体に与える。こうして、電子素子(図示せず)間の弾性のある相互接続は、相互接続要素110の2つの端部110aと110bの間で作用する。(図1Aでは、参照番号110aは相互接続110の端部を示し、実際の反対側の端部110bは図示されていない。)電子素子のターミナルの接触の際に、相互接続要素110は「F」で示された矢印によって示されるように、接触力(圧力)にさらされる。

上塗りの厚さ(単一層の上塗りか複数層の上塗りか)は、上塗りされるワイヤの直径より厚いことが一般的に好ましい。結果の接触構造の全体の厚さが核の厚さ+上塗りの厚さの2倍であるという事実によって、核と同じ厚さ(例えば、0.0254mm (1ミル))を有する上塗りは、自身が全体で核の2倍の厚さを有していることが明らかである。

相互接続要素(例えば、110)は、加えられた接触力に応答して歪められ、前

記至み（弾性）は、相互接続要素の全体形状によってある程度決められ、上塗り材料の耐力の優勢（より大きい）によってある程度決められ（核の耐力に対して）、及びその上塗り材料の厚

さによってある程度決められる。

ここで使用されるように、用語「型持ち梁」または「型持ちけた」は、通常一般的に細長い要素の縦軸を横切って動作する力に応答して、細長い構造（例えば、上塗りされた核112）が一端で取り付け（保持）され、他端が自由に移動できることを示すために使用される。これを使用することによって、他の特別な、または制限された意味が伝えられ、または含まれることはない。

図1Bでは、電子相互接続要素120が同様に、柔らかい核122（112と比較）、及び堅いシェル124（114と比較）を含んでいる。この例では、核122は2つの屈曲を持つよう形成されており、つまりS字型の形状と考えられる。図1Aの例と同様、この方法では、電子素子（図示せず）間の弾性のある相互接続は、相互接続要素120の2つの端120a、及び120bの間で作用する。（図1Bでは、参照番号120aは相互接続120の端部を示し、実際の反対側の端部120bは図示されていない。）電子素子のターミナルの接触の際に、相互接続要素120は「F」で示された矢印によって示されるように、接触力（圧力）にさらされる。

図1Cでは、電子相互接続要素130が同様に、柔らかい核132（112と比較）、及び堅いシェル134（114と比較）を含んでいる。この例では、核132は1つの屈曲を持つよう形成されており、つまりU字型の形状と考えられる。図1Aの例と同様、この方法では、電子素子（図示せず）間の弾性のある相互接続は、相互接続要素130の2つの端130a、及び130bの間で作用する。（図1Cでは、参照番号130aは相互接続130の端部を示し、実際の反対側の端部130bは図示されていない。）

電子素子のターミナルの接触の際に、相互接続要素130は「F」で示された矢印によって示されるように、接触力（圧力）にさらされる。また、相互接続要素130は、「F'」で示された矢印によって示されるように、その端130b以外の部分で接触を行うために使用される。

図1Dは、柔らかい核142、及び堅いシェル144を有する、弾性のある相互接続要素の別の実施例140を示している。この例では、相互接続要素140は、基本的に単純な片持ち梁（図1Aと比較）であり、その縦軸を横切って作用する接触力「F」を受ける、曲がった頂上140bを有している。

図1Eは、柔らかい核152、及び堅いシェル154を有する、弾性のある相互接続要素の別の実施例150を示している。この例では、相互接続要素150は、通常「C型」であり、少し曲がった頂上150bを有していることが好ましく、「F」で示された矢印で示されるような、圧力接触を行うのに適している。

柔らかい核は容易に任意のばねとなりうる形状、言い換えれば、結果の相互接続要素をその頂上に加えられた力にตอบสนองして弾性的に歪ませる形状に形成されうることを理解すべきである。例えば、核は、従来のコイルの形状に形成できる。しかし、コイル形状は、相互接続要素の全体の長さとは関連付けられたインダクタンス（及び同等のもの）、及び高周波数（速度）での回路動作におけるその不利な影響のために、好ましくない。

シェルの材料、または複数層のシェル（以下で説明される）の少なくとも1つの層は、核の材料よりかなり高い耐力を有する。従っ

て、シェルは、結果の相互接続構造の材料特性（例えば、弾性）を確立する際に、核の影響を小さくする。シェル：核の耐力の比は好適には少なくとも2：1で、少なくとも5：1で、10：1のように高い比も含む。シェル、または複数層のシェルの少なくとも外側の層が、特にシェルが核の端部を覆っている場合に、電気導電性を有しなければならないことも明らかである。（しかし、親出願には、核の端部が露出されている実施例が記載されており、この場合、核は導電性を有しているはずである。）

学術的な視点からは、結果の複合相互接続要素のばね部分（ばね形状）が、堅い材料で上塗りされることだけが必要である。この視点から、核の2つの端部の両方が上塗りされることは、一般的に必須のものではない。しかし、実際問題として、核全体を上塗りすることが好ましい。電子素子に保持された（取り付けられた）核の端部を上塗りする特定の理由、及びその利点は、以下でより詳細に述

べられる。

核(112、122、132、142)に適した材料は、これに制限されるものではないが、金、アルミニウム、銅、及びそれらの合金を含む。これらの材料は、通常わずかな量の、ベリリウム、カドミウム、シリコン、マグネシウム、その他のような他の金属と混合され、望ましい物理特性を得る。銀、パラジウム、白金、及び白金族元素の金属のような金属や合金を使うことも可能である。鉛、スズ、インジウム、蒼鉛、カドミウム、アンチモン、及びそれらの合金が使用されうる。

核(ワイヤ)の端部を電子素子のターミナルに取り付けること(以下で、より詳細に説明される)に関して、通常、(温度、圧力、及び/または超音波エネルギーを使用して接続を行う)接続が容易な任意の材料(例えば、金)からなるワイヤが、本発明の実施に適している。非金属材料を含む、上塗り(例えば、メッキ)が容易な任意の材料が、核に使用されうるとは、本発明の範囲に含まれる。

シェル(114、124、134、144)に適した材料は、これに制限されるものではないが、ニッケル、及びその合金、銅、コバルト、鉄、及びそれらの合金、両方ともが良好な電流容量と良好な接触抵抗特性を示す金(特に、堅い金)と銀、白金族元素、貴金属、特に白金族元素とその合金である、半貴金属(semi-noble metal)とその合金、タングステンとモリブデンを含む(以下で説明するように、複数層のシェルの個別層にも適する)。はんだ状の仕上げが要求される場合、スズ、鉛、蒼鉛、インジウム、及びその合金も使用される。

これらの被覆材料を上述の様々な核の材料に付加するために選択された技法は、もちろん、適用の度に異なる。電子的なメッキ処理、及び無電解メッキ処理は通常、好適な技法である。しかし、一般的に、金の核にメッキを施すことは直感的ではない。本発明の態様に従うと、金の核にニッケルのシェルをメッキする(特に電子的メッキ処理)場合、メッキの開始を容易にするために、最初に、金のワイヤの幹に薄い銅の開始層を付加することが望ましい。

図1Aないし1Eに例示されたような相互接続要素の例は、およそ0.0254mm(0.001インチ)の直径の核と0.0254mm(0.001インチ)の厚さ

のシェルを有することができ、従って、相互接続要素はおよそ0.0762mm (0.003インチ)の直径を全体として有する(即ち、核の直径+シェルの厚さ×2)。一般に、このシェルの厚さは、核の厚さ(例えば直径)の0.2倍から5.0倍のオーダーである。

複合相互接続要素のパラメータの例は、(a)0.0381mm(1.5ミル)の直径の金のワイヤの核が、全体の高さ1.016mm(40ミル)を有し、半径0.2286mm(9ミル)のおよそC型の屈曲(図1Eと比較)に形成され、0.01905mm(0.75ミル)のニッケルでメッキされ(全体の直径は、 $0.0381\text{mm} + 2 \times 0.01905\text{mm} = 0.0762\text{mm}$ である)、オプションで最後の0.00127mm(50マイクロインチ)の金の被覆を受容する(例えば、接触抵抗を低くし、または高めるために)。結果の複合相互接続要素は、約118.11ないし196.85g/mm(3ないし5グラム/ミル)のばね定数(k)を示す。使用中に、0.0762mmないし0.127mm(3ないし5ミル)の歪みが9ないし25グラムの接触力を生じさせる。この例は、インターポーザのばね要素に関して有益である。

(b)0.0254mm(1.0ミル)の直径の金のワイヤの核が、全体の高さ0.889mm(35ミル)を有し、0.03175mm(1.25ミル)のニッケルでメッキされ(全体の直径は、 $0.0254\text{mm} + 2 \times 0.03175\text{mm} = 0.0889\text{mm}$ である)、オプションで最後の0.00127mm(50マイクロインチ)の金の被覆を受容する。結果の複合相互接続要素は、約118.11g/mm(3グラム/ミル)のばね定数(k)を示し、プローブのばね要素に関して有益である。

(c)0.0381mm(1.5ミル)の直径の金のワイヤの核が、全体の高さ0.508mm(20ミル)を有し、半径約0.127mm(5ミル)のおよそS字型の屈曲

に形成され、0.01905mm(0.75ミル)のニッケルまたは銅でメッキされ(全体の直径は、 $0.0381\text{mm} + 2 \times 0.01905\text{mm} = 0.0762\text{mm}$ である)。結果の複合相互接続要素は、約78.74ないし118.11g/mm(2ないし3グラム/ミル)のばね定数(k)を示し、半導体デバイス上に取り付けるためのばね要素に関して有益である。

以下でより詳細に例示するように、核は、丸い断面積を有する必要はなく、むしろシートから延びる平坦なタブ(矩形の断面積を有する)であってもよい。ここで使用されるように、「タブ」という用語は、用語「TAB」(テープ自動化式

接続)と混同してはならない。

複数層のシェル

図2Aは、ターミナル214が提供された電子素子212に取り付けられた相互接続要素210の実施例200が例示されている。この例では、柔らかいワイヤ（例えば、金）の核216が、ターミナル214に一端216aで接続され（取り付けられ）、ターミナルから延びてばね要素を有するよう構成され（図1Bで示された形状と比較）、自由端216bを有するよう分離される。この方法で、ワイヤを接続、形成、及び分離することは、ワイヤ接続装置を使用して達成される。核の端部216aにおける接続は、ターミナル214の露出表面の比較的小さい部分だけを覆う。

シェル（上塗り）はワイヤの核216上に配置され、この例では、両方ともメッキ処理によって好適に付加される内側層218と外側層220を有する、複数層として示されている。この複数層のシェルの1つ以上の層は、（ニッケル及びその合金のような）堅い材料で形成さ

れ、相互接続要素210に望ましい弾性を与える。例えば、外側層220は堅い材料から製造することができ、内側層は、堅い材料220を核の材料216にメッキする際に、バッファまたはバリア層として（または活性化層、または接着層として）機能する材料で製造されうる。また、内側層218は、堅い材料でもよく、外側層220は（柔らかい金のような）、電気導電性、及びはんだ性を含む、優れた電子的特性を示す材料でもよい。はんだ付け、またはろう付けタイプの接触が望ましい場合、相互接続要素の外側層はそれぞれ、鉛-スズのはんだ、または金-スズのろう材料であってよい。

ターミナルへの保持

図2Aは、本発明の別な重要な特徴、即ち、弾性のある相互接続要素が、しっかり電子素子上のターミナルに保持されることを、通常の方法で例示している。取り付けられた相互接続要素の端部210aは、かなりの機械的応力を受け、結果的に相互接続要素の自由端210bに付加される圧縮力（矢印「F」）となる。

図2Aに示すように、上塗り（218、220）は核216だけではなく、核216に隣接するターミナル214の残りの露出表面全体（即ち、接続216a以外）を、連続して（中

断なしに) 覆う。これは、しっかりと、高い信頼性で相互接続要素210をターミナルに保持し、上塗りの材料は結果の相互接続要素をターミナルに保持するための実質的な(例えば、50%より多くの)貢献を提供する。通常、上塗りの材料は、少なくとも核に隣接するターミナルの一部を覆うことだけが要求される。しかし、通常は、上塗りの材料はターミナルの残りの表面の全

てを覆うことが好ましい。シェルの各層は金属であることが望ましい。

一般的な命題として、核がターミナルに取り付けられる(例えば接続される)比較的小さな領域は、結果の複合相互接続要素に与えられる接触力(「F」)によって生じる応力を調節するのにはあまり適していない。シェルがターミナルの露出された表面全体(核の端部216aのターミナルへの取り付けを含む比較的小さな領域内以外)を覆うために、相互接続構造全体がしっかりとターミナルに保持される。上塗りの、接着力と接触力に反応する能力は、核の端部(216a)自体のものを大きく越えている。

ここで使用されるように、用語「電子素子」(例えば212)は、これに限定されるものではないが、相互接続及びインタポーザ基板、シリコン(Si)またはガリウムヒ素(GaAs)といった任意の好適な半導体材料から作られる半導体ウエハ及びダイ、相互接続ソケット製品、テスト・ソケット、親出願に記載された犠牲部材、要素、及び基板、セラミック及び可塑性パッケージを含む半導体パッケージとチップ・キャリア、及びコネクタを含む。

本発明の相互接続要素は特に以下の用途に適している。

- ・直接シリコン・ダイに取り付けられた相互接続要素で、半導体パッケージを有する必要性を除去する。
- ・電子素子のテストを行うために基板からプローブとして延びた相互接続要素(以下で更に詳細に説明)。及び、
- ・インタポーザの相互接続要素(以下で更に詳細に説明)。

本発明の相互接続要素は、従来の劣った堅い金属の接続特性が付随することによって制限されることなく、堅い金属の機械特性(例えば、高い耐力)から利益

を受ける点でユニークであると言える。親出願で検討されたように、このことは、シェル（上塗り）が核の「足場」の上の「土台」として機能している事実によって十分可能になった（前記2つの用語は建築工学の分野から借りてきたものである）。これは、保護（例えば、抗腐食）被覆として使用され、通常は望ましい機械的特性を相互接続構造に与えることができない従来のめっきが施された相互接続要素とは全く異なる。更に、これは、電子相互接続に適用されたベンゾトリアゾール(BTA)のような、任意の非金属、抗腐食性被覆と比較して確かに目立った差異が認められる。

数多くの本発明の利点の中には、複数の独立相互接続構造が、それらの自由端が互いに共面にあるように、それらの異なるレベルから基板上の共通の高さに、（減結合コンデンサ(decoupling capacitor)を有するPCBのような）基板上で容易に形成されることが含まれる。更に、本発明に従って形成された相互接続要素の電子的、及び機械的（例えば、可塑性の、及び弾性の）特性の両方が、特定の適用例に対して容易に調整される。例えば、所与の適用例では、相互接続要素が、可塑性、及び弾性両方の変形を示すことが望ましいこともある。（可塑性の変形は、相互接続要素によって相互接続された素子内で、総体での非平面性を調整するために望ましい場合もある。）弾性の挙動が好ましい場合、相互接続要素は、信頼性のある

接触を行うための接触力の最小閾値を生成することが必要である。接触表面上の汚染フィルムが時折出現するために、相互接続要素の頂上が電子素子のターミナルに擦れる接触を行うことも有利なことである。

ここで使用されているように、接触構造に適用される「弾性の」という用語は、加えられた負荷（接触力）に応答して主に弾力のある挙動を示す接触構造（相互接続要素）を意味し、「従順な」という用語は加えられた負荷（接触力）に応答して弾性及び可塑性の挙動を示す接触構造（相互接続要素）を意味する。ここで用いられるように、「従順な」接触構造は、「弾性」接触構造である。本発明の複合相互接続要素は、従順な、または弾性の接触構造のどちらかの特別なケースである。

親出願で詳細に述べられた多くの特徴は、これに制限されないが、犠牲基板上に相互接続要素を製造し、電子素子に複数の相互接続要素を一斉に移動させ、好適には粗い表面の仕上げの接触頂上を、相互接続に提供し、電子素子に一時的な接続を作成し、次に永久の接続を作成するために、電子素子上で相互接続要素を使用し、相互接続要素を一方の端部における間隔が、他方の端部の間隔と異なる様に配列し、相互接続要素を製造する処理ステップと同じステップで、ばねクリップと調整ピンを製造し、接続された素子間の熱膨張の差を調整するために相互接続要素を使用し、独立半導体パッケージ（SIMMに関するような）の必要性をなくし、及びオプションで弾性の相互接続要素（弾性の接触構造）をはんだ付けすることを含む。

制御されたインピーダンス

図2Bは、複数を有する複合相互接続要素220を示す。相互接続要素220の最も内側の部分（内部の細長い導電要素）222は、被覆のない核、または前述のような上塗りされた核のどちらかである。最も内側の部分222の頂上222bは、好適なマスク材料でマスクされる（図示せず）。誘電層224が、電気泳動処理のようなものによって、最も内側の部分222の上に付加される。導電材料の外側層226は、誘電層224上に付加される。

使用中、外側層226を電氣的に接地すると、制御されたインピーダンスを有する相互接続要素220になる。誘電層224の材料の例は、重合体材料であり、任意の適当な方法で任意の適当な厚さ（例えば、0.00254mmないし0.0762mm（0.1ないし3.0ミル））に付加される。

外側層226は複数層でもよい。例えば、最も内側の部分222が被覆されていない核である場合、全体の相互接続要素が弾性を示す時は、外側層226の少なくとも1つの層がばね材料である。

ピッチの変更

図2Cは、複数の（多くのうち6つが示されている）相互接続要素251...256が、プローブ・カード挿入（従来の方法でプローブ・カードに取り付けられる小組立品）のような電子素子260の表面に取り付けられている実施例250を示す。プロ

ープ・カード挿入のターミナルと導電トレースは、例示を明確にするために、この図には示されていない。相互接続要素251...256の取り付けられた端部251a...256aは、1.27ないし2.54mm (0.050ないし0.100インチ) といった第1の

ピッチ (間隔) で始められる。相互接続要素251...256は、それらの自由端 (頂上) が第2の0.127ないし0.254mm (0.005ないし0.010インチ) といった細かいピッチになるよう形成され、及び/または方向付けられる。あるピッチから別のピッチに相互接続を行う相互接続部品は、通常「空間変形者 (space transformer)」と呼ばれる。

本発明の利点は、例えば、前述の米国特許第5,414,298号の独立アセンブリのような仲介の、または別の素子なしで、空間変形が接触構造 (相互接続要素) 自身で達成されることである。

例示したように、相互接続要素の頂上251b...256bは、接続パッド (接触点) の2つの平行な行を有する半導体デバイスに、(テスト、及び/またはバーンインのために) 接触をさせるといった目的で、2つの平行な行に配置される。相互接続要素は、アレイのような他の接触点パターンを有する電子素子に接触をさせるといった目的で、他の頂上のパターンを持つようにも配置可能である。

通常、ここで開示される実施例を通じて、1つの相互接続要素だけが示されているが、本発明は、複数の相互接続要素を製造するように、また円周パターンや矩形アレイ・パターンといったような、規定された空間上の互いの関係で、複数の相互接続要素を配置するようにも適応可能である。

犠牲基板の使用

直接相互接続要素を電子素子のターミナルに取り付けることは、以上で議論してきた。概して言えば、本発明の相互接続要素は、犠牲基板を含む、任意の好適な基板からなる任意の好適な表面の上に

製造でき、または取り付け可能である。

親出願に目を向けると、例えば、図11Aないし11Fに関して、後で電子素子に取り付けるために、個別の異なる構造として複数の相互接続構造 (例えば、弾性接

触構造)を製造することが述べてあり、図12Aないし12Cに関しては、複数の相互接続要素を犠牲基板(キャリア)に取り付け、次に複数の相互接続要素が、一斉に電子素子に移動することが述べてある。

図2Dないし2Fは、犠牲基板を用いて、事前に形成された頂上の構造を有する複数の相互接続要素を製造する技法を示している。

図2Dは、技法250の最初のステップを示しており、マス킹材料252のパターン成形された層は、犠牲基板254の表面上に付加される。この犠牲基板254は、例のために、薄い(0.0254mmないし0.254mm(1ないし10ミル))銅またはアルミニウム・フォイルで作ることができ、マス킹材料252は一般のフォトレジストでもよい。マス킹層252は、相互接続要素を製造するのに望ましい位置256a、256b、256cで複数の開口(多くのうち3つが示されている)を有するようにパターン成形される。位置256a、256b、及び256cは、この意味で電子素子のターミナルと比較できる。位置256a、256b、及び256cは、この段階で粗い、または特徴的な表面構造を有するように処理されることが好ましい。示されたように、これは、位置256a、256b、及び256cで、フォイル254内にくぼみを形成するエンボス・ツール257で機械的に達成される。また、こうした位置におけるフォイルの表面は、科学的にエッチングされて、ある表面構造を持つ。この

汎用エッチングに適した技法は、本発明の範囲に含まれ、例えば、サンドブラスト、ピーニングその他である。

次に、複数の(多くのうち1つが示されている)導電性の頂上構造258が、図2Eに示されるように、各位置(例えば、256b)で形成される。これは、電子的メッキ処理のような任意の好適な技法を用いて達成でき、複数の層の材料を有する頂上構造を含むことができる。例えば、頂上構造258は薄い(例えば、0.000254mmないし0.00254mm(10ないし100マイクロインチ))、犠牲基板上に付加されたニッケルのバリア層を有することができ、その後、柔らかい金の薄い層(例えば、0.000254mm(10マイクロインチ))によって覆われ、その後、堅い金の薄い層(例えば、0.000508mm(20マイクロインチ))によって覆われ、その後、比較的厚いニッケルの層(例えば、0.00508mm(200マイクロインチ))によって覆われ、

その後、柔らかい金の最後の薄い層（例えば、0.00254mm（100マイクロインチ））によって覆われる。一般的に、最初の薄いニッケルのバリア層は、後続の金の層が基板254の材料（例えば、アルミニウム、銅）によって「容される」ことから保護するもので、比較的厚いニッケルの層は頂上構造に力を提供するためのものであり、柔らかい金の最後の薄い層は、接続が容易な表面を提供するものである。本発明は、頂上構造がどのようにして犠牲基板上に形成されるかについての任意の事項に制限されない。なぜなら、これらの事項は適用例毎に変化することが避けられないからである。

図2Eに示されるように、相互接続要素の複数の（多くのうち1つ

が示されている）核260が、柔らかいワイヤの核を前述した電子素子のターミナルに接続する任意の技法によって、頂上構造258上に形成されうる。核260は次に、前述の方法で、好適な堅い材料262で上塗りされ、次にマスキング材料252が除去され、結果として、図2Fに示すように、犠牲基板の表面に取り付けられた複数の（多くのうち3つが示されている）独立相互接続要素264が製造される。

図2Aに関連して記載された、ターミナル214の少なくとも隣接する領域を覆う、上塗り材料と類似する方法で、上塗り材料262は核260を、それらのそれぞれの頂上構造258にしっかり保持し、必要であれば、結果の相互接続要素264に弾性特性を与える。親出願で記載されているように、犠牲基板に取り付けられている複数の相互接続要素は、一斉に電子構成用紙のターミナルに移動されうる。また、2つの大きく異なる経路が取られうる。

シリコン・ウエハが、頂上構造を製造する犠牲基板として使用され、そうして製造された頂上構造が、既に電子素子に取り付けられた弾性接触構造に接続（例えば、はんだ付け、ろう付け）されうることは、本発明の範囲内である。更に、こうした技法の議論は、以下で図8Aないし8Eについての説明で見られる。

図2Gに示されるように、犠牲基板254は、選択される化学エッチングのような任意の好適な処理によって、単純に除去されうる。ほとんどの選択される化学エッチングは他の材料よりかなり速い速度で1つの材料をエッチングし、他の材料はその処理で少しだけエッチングされるので、この現象は犠牲基板を除去するの

と同時に、頂上

構造のニッケルの薄いバリア層を除去するのに使用されると便利である。しかし、必要があれば、その薄いニッケルのバリア層は、後続のエッチング・ステップで除去されうる。このことは、結果的に、点線266で示されるような、複数の（多くのうち3つが示されている）個別の独立した単一の相互接続要素264となり、電子素子上のターミナルに（はんだ付け、またはろう付けなどによって）後で取り付けられうる。

上塗り材料もまた、犠牲材料、及び／または薄いバリア層を除去する処理で少し薄くされる。しかし、これは、起こらない方が望ましい。

この上塗りが薄くされることを防ぐために、例えば、約0.000508mm(20マイクロインチ)の堅い金の上に付加された約0.000254mm(10マイクロインチ)の柔らかい金や薄い金の層が、最終の層として上塗り材料262の上に付加されることが望ましい。こうした金の外側の層は、基本的に優れた導電性、接触抵抗、及びはんだ性を意図したものであり、更に通常、薄いバリア層、及び犠牲基板を除去するために使用されることが予期されるエッチング溶液をほとんど受け付けない。

また、図2Hに示すように、犠牲基板254を除去する前に、複数の（多くのうち3つが示されている）相互接続要素264が、好ましい空間的な関係で、その上で犠牲基板が除去され、その中に複数の孔を有する薄い板(plate)のような好適な支持構造266によって互いに「保持」されうる。この支持構造266は、誘電材料や、誘電材料で上

塗りされた導電材料からなるものであってもよい。複数の相互接続要素を、シリコン・ウエハやプリント回路ボードのような電子素子に取り付けるような、更なる処理ステップ（図示せず）が、次に行われる。更に、いくつかの適用例では、特に、接触力が加えられた場合に、相互接続要素264の頂上（頂上構造の反対）を移動に対し安定させることが望ましいこともある。この目的から、網の目状の誘電材料からなるような、複数の孔を有する好適なシート268を備える相互接続要素の頂上の移動を制限することが望ましいこともある。

前述の技法250の明らかな利点は、頂上構造(258)が好ましい材料で実質的に形成され、任意の好適な特徴を実質的に備えることである。前述したように、金は、電気導電性、低接触抵抗、はんだ性、及び抗腐食性といった優れた電子的特性を示す貴金属の例である。金は打ちのばしもできるので、ここで記述される任意の相互接続要素、特にここで述べた弾力性のある相互接続要素の上に付加される最終の上塗りとして非常に適している。他の貴金属は同様の好ましい特性を示す。しかし、優れた電気的特性を示すロジウムのような特定の材料は、通常相互接続要素全体の上塗りには適していない。例えば、ロジウムは著しくもろく、弾力性のある相互接続要素上の最終の上塗りとして良好に機能しない。これに関して、技法250によって例示される技法は、容易にこの制限を克服する。例えば、複数層の頂上構造(258参照)の最初の層は(前述のように、むしろ金よりも)ロジウムであってもよく、それによって、結果の相互接続要素の機械的な挙動がどうであれ、いかなる影響も与えずに、電子素

子に接触を行うのに優れた電気的特性を利用する。

図2Iは、相互接続要素を製造するための代替実施例270を例示する。この実施例では、マスキング材料272が、犠牲基板274の表面に付加され、図2Dに関して上述された技法と同じ方法で、複数の(多くのうちの1つが示されている)開口276を有するようにパターン成形される。開口276は、相互接続要素が独立構造として製造される領域を定義する。(ここで記載する説明にわたって使用されているように、相互接続要素が電子素子のターミナル、または犠牲基板の領域に接続された一端を有し、かつその相互接続要素の反対側の端部は電子素子、または犠牲基板に接続されていない場合、その相互接続要素は「独立」である。)

任意の好適な方法で、犠牲基板274の表面内に延びる単一の窪み278によって示されるような、1つ以上の窪みを持つような、開口内の領域が特徴付けられる。

核(ワイヤ・ステム)280は、開口276内の犠牲基板の表面に接続され、任意の好適な形状を有する。この例示では、明確な例示のために、1つの相互接続要素の1端だけが示されている。他端(図示せず)は、電子素子に取り付けられうる。技法270は前述の技法250とは、核280が頂上構造258にではなく、直接犠牲基板

274に接続されるという点で異なるということが、ここで容易に分かる。例として、金のワイヤ核(280)が、従来のワイヤ接続技法を用いて、アルミニウム基板(274)の表面に容易に接続される。

処理(270)の次のステップでは、金の層282が、核280の上と、窪み

278内を含む、開口276内の基板274の露出された領域上に（例えばめっき処理で）付加される。この層282の主な目的は、結果の相互接続要素の端部で接触表面を形成する（即ち、一度、犠牲基板が除去される）ことである。

次に、ニッケルのような、比較的堅い材料の層284が、層282の上に付加される。前述したように、この層284の1つの主たる目的は、好ましい機械特性（例えば弾性）を結果の複合相互接続要素に与えることである。この実施例では、層284の別の主たる目的は、結果の相互接続要素の（示されているような）下端で製造されている接触表面の耐久性を高めることである。金の最終の層（図示せず）は、層284上に付加されて、結果の相互接続要素の電気特性を高める。

最後のステップで、マスキング材料272と犠牲基板274が除去され、結果的に複数の単一相互接続要素（図2Gと比較）または、互いに所与の空間関係を有する複数の相互接続要素（図2Hと比較）が生成される。

この実施例270は相互接続要素の端に特徴付けられた接触頂上を製造するための技法を例示するものである。この場合、「ニッケル上の金」の接触頂上の優れた例が記載されている。しかし、ここに記載されている技法に従って、相互接続要素の端で他の類似の接触頂上が製造されることは、本発明の範囲に含まれる。この実施例270の別の特徴は、接触頂上が、以前の実施例250によって意図されたような犠牲基板(254)の表面内ではなく、犠牲基板(274)の頂上全体に構成されることである。

ばね相互接続要素の半導体デバイスへの直接取り付け

（これはCASE-3の古い1c...1eである。修正済み）

図3A、3B、及び3Cは、親出願の図1Cないし1Eと比較でき、単一化されていない半導体デバイスを含む半導体デバイス上に、直接複合相互接続を製造する好適技

法300を示している。

従来の半導体処理技法に従えば、半導体デバイス302は、パターン化された導電層304を有する。この層304は、絶縁（例えば、パシベーション）層308（通常、窒化物）内の開口306によって定義される場所では、最上の金属層となることもあり、通常ダイに完全に接続(bond-out)するよう意図される。こうして、パシベーション層308内の開口306の領域に対応する領域を有する、接続パッドが定義される。通常（例えば、従来技術に従うと）、ワイヤが接続パッドに接続される。

本発明に従うと、金属材料（例えば、アルミニウム）のブランケット層310が、開口306内で下がって層304と電気的に接触することを含む導電層310が層108の形に従う方法で、パシベーション層308上に（スパッタリングなどによって）配置される。マスキング材料（例えば、フォトリソ）のパターン化された層312は、パシベーション層308の開口306の上に配置された開口314を有する層310の上に付加される。ブランケット導電層310のある部分は、マスキング材料312によって覆われ、他のブランケット導電層310の部分は、マスキング材料312の層の開口314内で露出される（覆われない）。開口314の中のブランケット導電層310の露出部分は、「パッド」または「ター

ミナル」（214と比較）として機能し、金めっきされることもある（図示せず）。

この技法の重要な特徴は、開口314が開口306より大きいことである。明らかに、このことは、半導体ダイ302上に現れる他の領域（開口306によって定義される）より大きな接続領域（開口312によって定義される）を有することになる。

この技法の別の重要な特徴は、デバイス302がワイヤ・ステム（核）320の電子炎除去(EFO)処理の間に、ダメージを受けるのを防ぐために、導電層310が短絡層(shorting layer)として機能することである。

内側の核（ワイヤ・ステム）320の端部320aは、開口314の中で、導電層310の頂部（示すように）表面に接続される。核320は、半導体ダイの表面から延びて、ばねとなる形状を有するよう構成され、前述の（例えば、電子炎除去）方法で

、頂上320bを有するように分離される。次に、図3Bに示すように、形成されたワイヤ・ステム320が、前述のように（図2Aと比較）導電材料322の1つ以上の層で覆われる。図3Bでは、上塗り材料322が完全にワイヤ・ステム320を覆い、フォトレジスト312の開口314で定義された領域内で導電層310も覆う。

次にフォトレジスト312は、除去され（電子エッチング、または洗浄などにより）、基板に、ワイヤ・ステム320を上塗りしている材料322によって覆われている層310の部分315（例えば、パッド、ターミナル）以外の全ての材料を、導電層310から除去するために選択されたエッチング（例えば、化学エッチング）が実施される。以前から

マスキング材料312によって覆われ、材料322で上塗りされていないブランケット導電層310の一部は、このステップで除去されるが、材料322で上塗りされているブランケット導電層310の残りの部分は、除去されない。この結果、図3Cに示す構造となり、この構造の顕著な利点は、結果の複合相互接続要素324が、他の方法（例えば、従来技術）が接続パッド（例えば、パシベーション層308の開口306）の接触領域と考えるものより大きく作ることが簡単な領域（フォトレジスト内の開口314によって定義される）に、しっかりと保持され（上塗り材料322によって）ることである。

この技法の別の重要な利点は、空気遮断シール（完全に上塗りされた）接続が接触構造324とそれが取り付けられるターミナル（パッド）315の間に実施されることである。

前述の技法は通常、複合相互接続要素を製造する新しい方法を述べたもので、その物理特性は、好ましい程度の弾性を示すように容易に調整される。

一般に、本発明の複合相互接続要素は、相互接続要素（例えば、320）の頂上（例えば、320b）が容易に互いに共面にさせられ、その頂上が始まるターミナル（例えば、接続パッド）とは異なる位置（例えば、より大きいピッチ）で配置されうる方法で、基板（特に半導体ダイ）に容易に取り付けられ（または、その上に製造され）る。

開口が弾性接触構造が取り付けられないレジスト内に作成され（例えば、314

）ることは、本発明の範囲内である。むしろ、こうし

た開口は、同じ半導体ダイ、または他の半導体ダイ上の他のパッドへの接続（従来のワイヤ接続のような）を実施するのに使用されることが有益である。これは、生産者に、レジスト内の共通レイアウトの開口との相互接続を「カスタマイズ」する能力を与える。

図3Dに示すように、追加の導電線、または領域を半導体デバイス302の表面上に残すために（即ち、相互接続要素324が取り付けられ、上塗りされる位置に開口314を提供することに加えて）、マスキング層312が更にパターン化されることは、本発明の範囲内である。このことは、図の中で、開口314a及び314bそれぞれに延びる「細長い」開口324a及び324b、及び開口314cに（図示するように）オプションで延びる「領域」開口324cによって示されている。（この図では、要素304、308、及び310が、例示を簡略にするために省略されている。）前述したように、上塗り材料322は、こうした追加の開口（324a、324b、324c）に配置され、これらの開口の下にある導電層310の一部が除去されるのを防止する。接触開口（314a、314b、314c）に延びるこうした細長い、領域開口（324a、324b、324c）の場合、この細長い領域開口は、接触構造の対応する1つに電気的に接続される。このことは、直接電子素子（例えば、半導体デバイス）302の表面上にある2つ以上のターミナル(315)の間（相互接続）の導電トレースを提供することに関して有益である。これはまた、電子素子302上に直接、接地及び／または電力平面(power plane)を提供するのにも有益である。これはまた、オンチップ(302)コンデンサとして機能する細長い領域324a及び324bのような、近接する（インターリーブされ

た）細長い領域（めっきされると、線になる）に関しても有益である。更に、接触構造324の位置以外でマスキング層312に開口を提供することは、後の上塗り材料322の配置を均一化する助けになる。

例えば、図2Dないし2Fに前述した方法で接触構造(324)が事前に製造され、制御された形を有する頂上(258)とともに、あるいは、なしで、ターミナル315にろ

う付けされることは、本発明の範囲内である。これは、（半導体ウエハから）単一化されていない半導体ダイに1つずつ、またはいくつかの半導体ダイに一度に、事前に製造された接触構造を取り付けることを含んでいる。更に、頂上構造(258、820、864)の形を平らに制御でき、以下で説明するように、Z軸の導電接着(868)に効果的な圧縮接続をもたらす。

半導体デバイスの訓練

集積回路（チップ）製造者の中で公知の手順は、チップのバーンイン、及び機能テストである。これらの技法は通常、チップのパッケージングの後で行われ、ここではまとめて「訓練」と呼ぶ。

現代の集積回路は、一般的に、いくつかの典型的な等しい集積回路ダイを単一の（通常円形の）半導体ウエハ上に（通常は四角、または矩形のダイ・サイトとして）生成し、次に、そのダイ（チップ）を互いに分離（単一化、さいの目にする）するために、そのウエハをスクライビングし、切断することによって作られる。「スクライビング線」（切断）領域の直角の格子は、隣接するダイの間に延び、時に、製造処理を評価するためのテスト構造を含む。これらのスクライビング線の領域、及びそこに含まれる任意のものは、ダイがウ

エハから単一化される時に破壊される。単一化された（分離された）ダイは最終的に、ダイ上の接続パッドとパッケージ体中の導電トレースの間にワイヤ接続を行うことなどによって、個別にパッケージ化される。

「バーンイン」は、チップ（ダイ）が単純にパワーアップする（「静的」バーンイン）か、またはパワーアップして、ある程度チップの機能を訓練する信号を有する（「動的」バーンイン）かのどちらかである処理である。バーンインは、両者とも通常、高温でかつ、「一時的な」（または除去可能な）チップへの接続を行うことによって実施され、その目的は、チップをパッケージングする前に、欠陥のあるチップを識別することである。バーンインは通常、ダイがウエハから単一化（さいの目に）された後で、ダイ毎に行われるが、ダイを単一化する前にバーンインを実施することも知られている。通常、ダイに対する一時的な接続は、「浮上ワイヤ（flying wire）」を介したテスト・プローブによって行われる。

機能テストはまた、ダイへの一時接続を行うことによっても達成される。いくつかの例では、各ダイに、チップの機能のいくつかを訓練する、組み込み自動テスト（自動開始、信号生成）回路が提供される。多くの例では、訓練（テスト及び／またはバーンイン）が必要な特定のダイ上の接続パッドに正確に位置づけられるプローブ・ピンを有するテスト・ジグを、各ダイ毎に製造しなければならない。これらのテスト・ジグは比較的高価で、製造に非常に多くの時間を要する。

一般的な命題として、パッケージのリードは、バーンイン（または機能テスト）用ではなく、組立用に最適化される。従来のバーンイン・ボードは費用がかかり、何千ものサイクルが課せられることが多い（例えば、通常テストされるダイ毎に1サイクル）。更に、異なるダイが異なるバーンイン・ボードを必要とする。バーンイン・ボードは高く、全体の製造コストを高騰させ、特定のデバイスの多くの実行を通じて返済されるだけである。

ダイをパッケージングする前に、ダイに何らかのテストが実施されると、パッケージ化されたダイが外部システム素子に接続されるようにダイがパッケージ化される。前述したように、パッケージングは通常、接続ワイヤの様な、ダイへのある種の「永久の」接続を含んでいる。（こうした「永久」接続は、それが通常好ましいものではないが、元に戻され、やり直されることが多い。）

明らかに、ダイ（1つ又は複数）のバーンイン及び／または事前パッケージングのテストに必要な「一時」接続は、ダイ（1つ又は複数）のパッケージングに必要な「永久」接続とは異なることが多い。

半導体ダイのような電子素子に対して、同じ相互接続構造を使用して、一時的、及び永久接続の両方を行う技法を提供することが、本発明の課題である。

ダイがウエハから単一化される前、またはダイがウエハから単一化された後のどちらかで、ダイへの一時相互接続を行い、ダイのバーンイン及びテストを実施する技法を提供することが、本発明の更

なる目的である。

同じ相互接続構造がダイ（1つ又は複数）への永久接続に使用されるかどうか

に関わらず、ダイに一時的な相互接続を行う改良された技法を提供することが、本発明の更なる目的である。

本発明に従って、弾性接触構造が、半導体ダイのような電子素子に対する一時接続、及び永久接続の「2役」として機能可能である。

本発明に従うと、弾性接触構造を直接半導体ダイに取り付けることができ、弾性接触構造は、以下の複数の目的を果たす。

(a) 弾性接触構造は信頼性の高い、一時接触をテスト・ボードに対して行うことができ、それは、普通のプリント回路ボードと同じぐらい単純かつ明快である。

(b) バネクリップ等で所定の位置に保持された場合に、同じ弾性接触構造が、回路ボードへの信頼性の高い永久接触を行うことができる。

(c) 同じ弾性接触構造が、はんだ付けによって、回路ボードへの信頼性の高い永久接触を行うことができる。

チップレベルの取り付け処理

前述のように（例えば、図3Aないし3Cに関して）、本発明の弾性接触構造を直接半導体ダイ（上）に取り付けることは、本発明の範囲内に他ならない。このことは、外部相互接続構造（例えば、ピン、リード、その他）を必要とするある種のパッケージ内に配置されたダイに対するワイヤ接続の従来技法と照らしてみた場合に特に顕著である。一般に、半導体ダイは、多くの量の熱が、ダイに注意深く

配置された拡散領域を更に拡散させるので、ピンをパッケージにろう付けする場合に通常必要とされるようなかなりの負担の熱には耐えられない。このことは、ますますデバイスの幾何学的な収縮（例えば、極微小の形状まで）に関連してくる。一般的な命題として、任意の製造処理（例えば、CMOS）に関して、熱「予算」があり、ダイが熱を受ける全ての処理ステップ（例えば、リフロー・ガラス(reflow glass)）の影響が注視され、考慮されなければならない。

一般に、本発明は、ダイに多くの熱を与えずに、接触構造を直接半導体ダイに取り付ける技法を提供する。通常、ダイにワイヤ・システムを接続することと、そ

の後にワイヤ・システムを上塗り（例えば、めっき）することが、ダイに数百℃のオーダの温度を与えるデバイス製造処理（例えば、プラズマ・エッチング、リフロー・ガラス）と比べて、比較的「取るに足らない」温度で行われる。例えば、金のワイヤの接続は、通常140ないし175℃で行われる。アルミニウム・ワイヤの接続は、より低い、室温のような温度でも行われる。めっきの温度は、処理に依存するが、一般的には100℃を越えることはない。

図4Aないし4Eは、シリコンチップが半導体ウエハから単一化される前に、弾性接触構造をシリコンチップ、または複数のシリコンチップ（ダイ）上に載せる処理を示している。この処理の重要な特徴は、短絡層（層310に関連して前述した）を提供することであり、これは、弾性接触構造の形成されたワイヤ・システムを電気めっき（前述）によって上塗りするのに重要である。電気めっきは電界の存在

する位置に溶液から材料を配置することを含み、電界は繊細な半導体デバイスにダメージを与え、電子アーク（前述した、ワイヤを分離するための電子炎の除去技法におけるような）は確かに半導体デバイスにダメージを与える潜在力を有しているので、短絡層は、その処理の間、こうした繊細な電子素子に対して電気的な保護を提供する。オプションとして、短絡層も接地されうる。

図4Aは、複数の（多くのうち2つが示されている）接続パッド404を有する半導体基板402を示している。この接続パッド404は、接続パッド404のそれぞれの上に開口を有するパシベーション層406（通常シリコン窒化物）によって覆われている。通常、これらのパシベーション層406内の開口によって、接続ワイヤが、基板（例えば、ダイ）をリードフレームその他にワイヤ接続するために、接続パッドに接続される。全ての意図、及び目的のために、パシベーション層の開口は、接続パッドの金属被覆がパシベーション層406の開口を越えて延びる可能性がある（通常越えて延びる）という事実に関わりなく、接続パッド404のサイズ（領域）を定義する。（通常、接続パッドはそれ自体、金属被覆の層の導体のパターンにおける単なる位置にすぎない。）前述のものは従来の半導体製造において周知のものであり、接続パッド間の導体、絶縁、及び半導体材料の付加層（最

上の金属皮膜層)及び基板402は、例示を簡単にするため省略されている。必須ではないが、通常接続パッドは、半導体基板(デバイス)上で全て同じレベル(例えば、前述の層が平坦にされている場合)であり、接続パッドが共面にあるかどうかは、本発明の目的

に関しては重要ではない。

図4Aは更に、接続パッド404が、接続パッド404に電氣的接触を行うために、基板402の表面全体(パシベーション層406の上、及びパシベーション層の開口内)に従来の処理で付加されたアルミニウム、Ti-W-Cu(チタン-タングステン-銅)、Cr-Cu(クロム-銅)、またはそれらと同等のものからなる導電層410によって、共に短絡される。レジスト(フォトリソ)412のパターン化された層が、短絡層410上に付加され、直接接続パッド404上に配置される開口414を有するようにパターン化される。特に、レジスト層412内の開口414は任意のサイズでよく、「実質的な」接続パッド(レジスト412を通して短絡層410に達する開口414によって定義される)が、「実際の」接続パッド404より大きな領域を有するように、パシベーション層406の開口より大きいことが望ましい。本発明の一態様に従うと、実質的な接続パッドの領域は、実際の接続パッド(パシベーション層の開口によって定義される)よりかなり大きく、例えば、実際の接続パッドより10%、20%、30%、40%、50%、60%、70%、80%、90%、または100%大きいようなものである。通常、接続パッド(及びそれらの開口)は(前記のように)四角である。しかし、接続パッドの特定の形状は、本発明と密接な関係にはなく、矩形、円形、または楕円の形状、及びそれらと同様な形状を有する接続パッドに適用可能である。

図4Bは弾性接触構造を基板402に取り付ける処理における次のステップを示している。ワイヤ420がその端部420aで短絡層の開口414内

に接続され、上塗りされた場合に弾性接触構造として機能するのに適した形状に形成される。通常、前述のワイヤ・ステム形状の形成に関する任意の技法が、このステップで使用される。この例では、ワイヤ420は、図2Aで記載された形状

と同様の形状を有するワイヤ・ステムに形成される。

図4Cは、弾性接触構造を基板402に取り付ける処理における次のステップを示しており、ワイヤ・ステム（成形されたワイヤ420）が、導電材料からなる1つ（または複数）の層422で上塗りされる。（前述の例のように、複数層の最上部の層だけが導電性であることが要求される。）また、前述の、成形されたステムを上塗りする処理、及び材料が、このステップでも使用される。この例では、ワイヤ(1420)がニッケルで電気めっき（上塗り）される。前述の例では、上塗りは、結果の接触構造の弾性を決定するものであり、またその接触構造の基板への保持を格段に高めるものでもある。この例では、基板全体が電気めっきの溶液に浸され、ニッケルが個別選択的にワイヤ・ステム上、及びレジスト412の開口414内にめっきされる（ニッケルはレジスト材料に対しては電気めっきされない）。このようにして、弾性接触構造430が提供される。

図4Dは、弾性接触構造を基板402に取り付ける処理における次のステップを示しており、ワイヤ・ステム(1420)が上塗りされ(1422)、弾性接触構造430を形成する。前の3つのステップから明らかなように、レジスト412層は除去されている。この処理のこの時点で、実質的な接続パッドは、連続する短絡層410上の領域（110と比較）に単

純に接触する。

図4Eは、弾性接触構造を基板402に取り付ける処理における最後のステップを示している。このステップで、短絡層410は、上塗り422の下を除く全ての位置で除去される。選択的なエッチング（即ち、上塗り材料422、またはパシベーション材料406をエッチングしない）が容易な材料からなる短絡層に関して、これは選択的ウェットエッチングによって（即ち、適切なエッチング液を選択することによって）、達成されうる。この例では、選択的エッチングを実施するための「基本的な」要件は、層410の材料が被覆422の材料と異なること、及び一方(1410)を、他方(422)を溶解することなく溶解する試薬があることだけである。このことは、本発明が最も深く関わる当業者の知識の範囲内である。

本発明の処理の別の利点は、他で存在する（即ち、パシベーション層の開口内

より大きな「実質的」接触領域が作成される。上塗り422はワイヤ・ステム420をこの実質的な接触領域にしっかり保持し、ワイヤ・ステムの基部の接合を大きく高める。更に、ダイ基板は、四角（または矩形、または円形）の実際の接触パッドを有することもできるが、本発明の処理は、実質的な接触パッド（例えば、矩形、円形、楕円などの）任意の形状のレジスト412内の開口）の作成を可能にする。更に、実質的な接触パッドが実際の接触パッドに重複することのみが必要とされる。言い換えれば、実質的な接触パッドの中央が、実際の接触パッドの中央からオフセットされうる。このことは、弾性接触の頂上（端部）が「揺れる」のを可能にし、

他の形状（線形アレイ、または実際の接触パッドの場合）では、少なくとも2つの異なるワイヤの形状または方向で形成する必要がある。

前述のように、弾性接触構造(430)を基板に取り付ける処理は、既に単一化されたダイ上で、または半導体ウエハから単一化される前のダイ（ダイ・サイト）上で実施されうる。

前述のステップもまた、ウエハから単一化されていない半導体ダイ上で実施されうる。（ウエハから単一化される前のダイに接触構造を取り付ける議論に関しては、以下で、図5を参照のこと）。

以下ですぐ議論される図4F及び4Gは、図4Aないし4Eの処理と同様の処理を記述しているが、接触構造は、ウエハから単一化される前のダイに付加されている。

図4Fは、仕上げ後ステップを示しており、弾性接触構造430が、半導体ウエハ上の複数のダイ・サイト402a及び402b（多くのうち2つが示されている）に取り付けられている。（カッタ(saw)）のようなスクライビング、切断(kerfing)道具450が、隣接するダイ・サイト間でウエハ上に用いられ、結果として複数の単一化されたダイが作られ、そのそれぞれはそこに取り付けられた弾性接触構造を有する。

図4Gは、別の光学の仕上げ後ステップを示しており、図4Fで示した仕上げ後ステップの前、または後で（即ち、それとは独立して）実施されうる。このステップでは、好適な空気遮断（例えば、重合体）被覆460が、基板の表面に付加され

、表面全体、弾性接触構造430の近い方の端430a、及び基板の端を（示すように）覆っている。

通常（即ち、好ましくは、）こうした被覆は絶縁材料であり、弾性接触構造430の遠い方の端430bを覆うことは（示すように）避けるべきである。これが避けられない場合、弾性接触構造の頂上430bを覆う絶縁材料(1460)は除去しなければならない。更に、絶縁材料は、その被覆422によって接触構造に与えられる接触構造の弾性（ばね）特性を変化させる可能性があるので、弾性接触構造の長さの付随的な（非常に小さい）部分よりいくらか大きい部分を絶縁材料で被覆することは、厳密に避けるべきである。このステップは、半導体ダイ、特にそのアルミニウム接続パッドが、周囲（大気）から空気遮断されてシールされうという点において、本発明の重要な特徴を表している。ダイのこうした空気遮断シールは、使用されるパッケージとして、より少ない気密性の（及び通常はより安価な）パッケージの使用を可能にする。例えば、セラミック・パッケージは非常に気密性が高く（水分を通さない）とても高価である。可塑性パッケージは、気密性がより小さく、より安価である。PCB基板タイプのパッケージは一層気密性が小さく、可塑性パッケージのコストに匹敵する。

ウエハレベルの弾性接触構造の取り付け

前述の議論は全般的に、本発明の弾性接触構造の、半導体ダイを含む独立基板への取り付けを強調してきた。本発明はより広い範囲を包含しており、特に本発明の弾性接触構造を、ダイがウエハから単一化（さいの目に）される前に、ダイに取り付けるのに有利である。このことは、ウエハからダイをさいの目にする前に、本発明の

弾性相互接続技法を用いて、単一化されていないダイのテスト、及びバーンインを実行する条件を与える。接触構造を単一化されていないダイに取り付けることは、図4F及び4Gに関して前で簡単に議論されている。

通常、従来技術では、ある種のダイ選択技法に要求されるウエハレベルで単一化されていないダイをテストすることは、それが電氣的（例えば、ウエハ及び／

またはダイに組み込まれたダイ選択メカニズム）であろうと、または化学的（例えば、プローブ、浮上ワイヤ、及び同等のもの）であろうと、その両方は、複雑になり、生産コストに多大な増大を与える傾向にある。

本発明に従い、単一化されていないダイ上に「最終の」接触構造を構築し、これらの接触構造をダイのテストと永久接続両方のために使用することによって、これらの中間ステップは回避され、さいの目にした後でテストを行う方法論よりも経済的であるという傾向もある。

更に、ウエハ上にダイを製造する間、ウエハ内の欠陥がウエハの処理の前に見つかることがよくある。こうした欠陥のあるダイ・サイトは、これらのダイをテストするか迷うこともなく、（さいの目にされた後で）すぐに破棄される。

図5は、切断（スクライビング）線506の格子によって定義された複数のダイ・サイト504a...504oが示されている、半導体ウエハの部分502を示している。弾性接触構造530は、各ダイ・サイト504a...504d、及び504f...504o上の接続パッド（図示せず）に取り付けられて

いる。弾性接触構造(530)は、（弾性接触構造取り付け前に、欠陥があると判定された）ダイ・サイト504eには取り付けられていない。この図で示されるように、ダイ・サイト上の弾性接触構造の全ては、直接切断線506の上に位置を占める弾性接触構造の部分がないように「方向付け」されている。

ウエハからダイを単一化した後で、ダイが、後でボードまたはカードに相互接続するために露出された弾性接触構造の頂上を残すように、好適な材料で覆われる（またはカプセル化される）。

通常、ウエハからダイを単一化する前に、直接半導体ダイ上に弾性接触構造を製造できる能力は、半導体デバイスを製造する処理全体において、大変な利点を示す。このことを以下に例示する。

従来技術の典型的な処理フローにおいて、ダイはウエハ上にある間にプローブされ、次にウエハからさいの目にされ、次にリードフレーム上のダイ取り付けパッドに取り付けられ、次にリードフレームのフィンガーにワイヤ接続され、次に、ダイとリードフレームのアセンブリが、カプセル化のための型(mold)に挿入さ

れ、結果のパッケージ化されたダイが型から除去され、トリミング（例えば、「ばり(flash)」の）され、そして形成される（例えば、パッケージ本体から延びるリードフレーム・フィンガーの部分が、好適なガルウイング型やそれと同様なものに成形される）。

本発明の通常の処理フローでは、ダイがウエハ上にある間にプローブされ、弾性接触構造は「良好な」（検査をパスした）ダイに取り付けられ、ダイがウエハからさいの目にされ、次に、ダイが被覆

され、またはカプセル化される。一般的な命題では、前述の方法でダイをプローブすることは、メモリ・ダイのような、プローブされる接続パッドが100より少ないダイに限られることが好ましい。それにも関わらず、ウエハレベル（単一化の前）でダイをプローブすることが、特にバーンインの目的に対して、開示される処理によって非常に容易にされる。

図5において、ダイの2つの側部に配置されている任意の弾性接触構造530、及びダイの1つの側部に配置されている任意の弾性接触構造は、全てが同じ形状で同じ方法に向いているものとして示されている。これは隣接する弾性接触構造の頂上間の「ピッチ」、即ち間隔を確立し、明らかなように、弾性接触構造が取り付けられる接続パッドのピッチと同じである。

これは、直接プリント回路ボードやそれと同様のものに接続するのに適した弾性接触構造が、直接半導体デバイス（例えば、シリコン）に取り付けられ、「チップサイズ・パッケージ」を形成できる点で、本発明の利点を示している。

直接弾性接触構造が取り付けられた、こうしたデバイスは、例えば、図7A及び7Bに関して以下で更に詳述するように、テスト、及びバーンインの準備ができており、更にカード、またはボードに相互接続するよう準備ができています。

この議論のために、所与の半導体デバイスが、いかに近く接続パッド、特に単一行の接続パッドを配置できるかに関して下限を有しており、この下限がここでデバイスの「ピンアウト」と呼ばれる

ものに関するピッチを確立するものと仮定する。（用語「ピンアウト」は通常

、接続パッドの物理間隔というより、信号割り当てを記述するのに用いられることが理解される。) このピンアウト・ピッチは、接続ワイヤ、リードフレーム、及びその他同様のものの使用を可能にする汎用性を部分的に考慮して、パッケージング・ダイに関して、ピンアウト・ピッチを増幅(拡張)した、プリント回路ボード上で適当に達成されるパッド間隔に比べて、比較的細かい(小さい)傾向にある。

通常、ボードの設計に関するクリティカルな制約は、接触(はんだ)パッドが、ある場合には、導電トレースがパッドの間で通過し、「複雑さ」を相互接続技法に与えるように、十分間隔をあけて配置されなければならないことである。更に、一般的な命題として、はんだパッドを大きくすればするほど、より多くのはんだを受容できるため、信頼性の高いはんだ接続を行うのに好都合となる。

本発明の特徴に従って、様々な形と方向の弾性接触構造が、基板(例えば、半導体ダイ)に取り付けられ、デバイスのピンアウトの効果的なピッチを増大させるのに有用である。

更に、弾性接触構造を単一化されたダイに取り付ける場合、接触がダイの周囲を越えるようにその接触の形状を形成することは比較的容易な事項である。通常、本発明に従って、弾性接触構造を電子素子に取り付ける場合、ワイヤ・ステム(上塗りされる)の形状、及び大きさは、実質的に制限されず、ファンアウト(fan-out)を容易に可能にする(ダイ上でのような比較的小さい間隔から、プリント

回路ボードのような比較的広い間隔に増大させる)。

しかし、ダイの周囲を越えて延びる接触構造が、ウエハ上の単一化されていないダイに取り付けられうることは、本発明の範囲に含まれる。例えば、このことは、こうした接触構造が切断線に重なって延びるために、反対側からウエハを切ることを要求する。

本発明の別の利点は、ワイヤ・ステムがめっき(上塗り)される場合、上塗り材料は、特に接続を意図していない電子素子の領域に付加されうる。例えば、電子素子の端は、電子素子の表面に取り付けられたワイヤ・ステムをめっきする間

にめっきされうる。また、電子素子の反対側は、ワイヤ・ステムをめっきする間にめっきされうる。通常、マスクされていない電子素子上の任意の領域はめっきされる。（前述の実施例の多くでは、ワイヤ・ステムが電子素子に接続される接続領域（例えば、110）は、フォトレジスト、またはそれと同等のものの開口によって定義される。）

図5は、接触構造の方向が、効果的に密度を増大させるために揺れ、CASE-2の図24に等しい本発明の実施例が示されている。図は、前述した技法に従う、複数の異なる接触構造が取り付けられている、半導体ダイ520の頂上を示している。接触構造の第1の部分522は、比較的大きなオフセット（即ち、近い方の端から遠い方の端）を有するよう構成され（形成され、曲げられ）ている。接触構造の第2の部分524は、比較的小さなオフセット（即ち、近い方の端から遠い方の端）を有するよう構成され（形成され、曲げられ）ている。こうして、示すように、隣接する接触構造（522と524）の近い方の端

の間の間隔は「m」であり、隣接する接触構造（522と524）の遠い方の端の間隔は「n」であり、ここで $n > m$ である。例えば、「m」は約0.127mm（約5ミル）であり、「n」は0.127mmないし0.254mm（5ないし10ミル）である。図で更に示されているように、電子素子520の表面に対し垂直に延びる真っ直ぐな接触構造528は、電子素子の上で形成されうる。これらの接触構造528は、プリント回路ボード(PCB)のような別の電子素子上の対応するアライメント形状（例えば、孔）に咬み合うアライメント・ピンとして機能するように意図されたものである。こうしたアライメント・ピン528は弾性でないことが好ましいが、これらは勿論、弾性接触構造522及び524と同じ処理ステップで製造される。

オプションとして、カプセル化されたもの(encapsulant)は基板の表面上に配置され、接触構造の（図で）下の部分を包み、機械的に、基板の表面への弾性接触構造の取り付けを強化する。

本発明に従う、接触構造の頂上の揺れによって、設計者は、電子素子を取り付けられるボードに関する「接地ルール」（設計ルール）を緩和させることができ、それで互いに離れて配置された接触（はんだ）パッド、及び／またはより大き

な個別のはんだパッドを可能にする。

使用中に、図7A及び7B（以下で説明される）に関連して前述された方法で、接触構造（522、524、526）を介して、電子素子520に対する一時接触を作成でき、更に、同じ接触構造（522、524、526）を介して、電子素子520に対する後続の永久接続を作成できる。このこ

とは、ウエハ上の単一化されていないダイの、また必要であれば、特に半導体メモリ・デバイス（これに限られないが）に有効な形状のウエハレベルの訓練（テスト、及びバーニン）を容易にする。接触構造522、524、526、及び528が、前述の方法で一斉にウエハ（またはチップ）520に移動されることは、本発明の範囲内である。一斉移動の技法は、接触構造が「オフライン」で（即ち、犠牲基板上に）製造されるので、通常、電子素子上に短絡層（126と比較）を形成する必要がない。

短絡層の必要なし

前述の多くの実施例において、短絡層の使用について記述されてきた（例えば、図3Aないし3Cの導電層310参照）。短絡層は、ワイヤ・システムが電子めっき処理で上塗りされている場合に有効である。接続される全てのワイヤ・システムに導電犠牲構造を使用することもまた、同様に複数のワイヤ・システムを短絡（電氣的に共に接続される）させることによって、電子めっきを容易にする。

図6Aは、処理の第1ステップを示しており、そこで犠牲構造602が、半導体ダイ612に取り付けられた（接続された）複数のワイヤ・システム630及び632の形成、及び上塗りに関連して、使用される。

犠牲構造602はかごのような構造として、アルミニウムのような導電（及び、処理の最終ステップで容易に除去される）材料から形成されており、ダイ612が配置される領域を定義する外側のリング604、及びリング604の1つの側部（図示のような）から、リング604の反対側側部（この断面透視図では見えない）にわたるクロスバー606を

含む。この結果、リングの1つの側部から、リングの反対側側部にわたる、クロ

スパー606と平行な（及び互いに平行な）開口608、及び610になる。

通常、犠牲構造（かご）は、開口608、及び610がダイ612の接続パッドのそれぞれの平行な行に調整されるように、ワイヤ・ステム630及び632をダイ612に取り付ける前に、半導体ダイ612上に位置付けられる。

図示したように、ダイのそれぞれの側部に沿った接続パッドの各行内のワイヤ・ステムは、外側のリング604及び内側のクロスパー606のどちらかに延び、犠牲構造に対して、それらの遠い方の端をくさび接続するなどして接続される。こうして、犠牲構造602は、ワイヤ・ステムの全てを共に短絡させ、後のワイヤ・ステムのめっきのために、容易に接続される（図示せず）。

図6Bは、この処理の次のステップを示しており、ワイヤ・ステム630、及び632が、前述の方法でめっきされ、それぞれ弾性接触構造640、及び642として機能する。

次のステップで、犠牲構造を除去（排除）することが望ましく、通常、(i)弾性接触構造の遠い方の端が犠牲構造から分離（切断）される、(ii)犠牲構造が、弾性接触構造の頂上を分離することなく、溶解される（例えば、エッチング）といった、2つの可能性がある。

図6Cは、第1の可能性を示しており、ダイ612が、そこに取り付けられた弾性接触構造640、及び642を有したまま、犠牲構造(602)が溶解される。前の実施例のほとんどでは、弾性接触構造の一番遠い端

が、別の素子と接触するよう意図されているのが普通であるが、この実施例では、弾性接触構造640、及び642が、接触構造640、及び642の中間部分640c、及び642cがそれぞれ、別の素子（図示せず）に接触する（矢印「c」で示されたように）ように、形成される。

通常、接触構造640（ダイ表面の内側に向けて指されている）、及び642（ダイ表面の外側に向けて指されている）の方向を変えることによって、接触構造の効果的なピッチが、ダイのピンアウト・ピッチより大きくなりうる。（図5Aと比較）内側を指している接触構造640に関して、それらの頂上640bとダイの表面の間の隙間があり、親出願の図8Aないし8Cに関連して示され、説明された実施例と同

様の方法で、その頂上が半導体ダイの表面と接触することなく、弾性接触構造の歪みを許容する。外側を指している接触構造642に関して、それらの頂上642bは、ダイ612の端からはみ出して、こうした明らかな問題（即ち、接触力に応じて、接触構造の頂上がダイの表面に触れる）が存在しない。

図6Aないし6Cを通して、前述した方法で、頂部（図で）表面にパシベーション層614を備えたダイ612が示されている。

図6Dは、イベントの代替シーケンスを示しており、ここで、犠牲構造602が、ワイヤ・ステム630及び632の上塗りの前に除去される。図6Aに関して記述された第1ステップが同じように残っており、結果の構造は図6Cに示した通りである。

図6Aないし6Cに関して前述された技法は、（図6Aないし6Cに示されるように、個別ダイの側部端の下に延びるより、むしろ）単にウ

エハの頂部にある、より薄い犠牲構造（602）を提供するだけで、ウエハレベルで実施される。

電子素子（612）が犠牲構造（602）から、接触構造を切断する（例えば、図6B）、またはワイヤ・ステムを切断する（例えば、図6D）だけで、「解放される」ことは、本発明の範囲内である。

犠牲構造（例えば、602）を使用する一般的な利点は、電子光の除去が必要でないことであり、そうでなければ電子素子（612）に非常に高い、ダメージを与える危険性がある電圧（例えば、2000ボルト）を受けることになる。

接触構造（またはステム）が、堅いワックス材料（または、熱で溶ける、溶液に溶ける重合体のような、好適な鋳造（casting）材料）などで安定化され、電子素子の平面に平行に磨かれ（仕上げされ）、結果として接触構造の自由端になる接触部分（例えば、642c）が製造される（例えば、接触構造、またはワイヤ・ステムを完全に磨き上げることによって）ことも、本発明の範囲に含まれる。このことは、例えば、図8Cに関連して以下で説明される。

ここで説明した「機械的」分離技法のどれかを使用する場合、回避される高電圧の分離スパークに関する問題だけでなく、直接的、物理的、かつ簡単な方法で保証される、結果の接触構造の高さの問題もある。

デバイスの訓練とパッケージング両方のために、半導体デバイス上に取り付けられた接触の使用

本発明の重要な特徴は、ダイがウエハから単一化（分離）される

前に、弾性接触構造（複合相互接続要素）を直接半導体ダイ上の接続パッドに取り付けることによって、半導体デバイスの訓練（テスト、及び／またはバーンイン）を行い、及び半導体デバイスのパッケージングを（単一化された後で）行うために、同じ弾性接触構造が使用されうることである。

図7Aは、半導体ウエハからデバイスを単一化する前の、複数の（多くのうち2つが示されている）半導体デバイス（ダイ）702及び704を示している。2つのデバイスの境界は、刻み目706によって示されている。（刻み目は実際に存在するかもしれないし、存在しないかもしれないものであり、かつウエハがデバイスを単一化するために切り離される切断（線）の位置を示している。）

複数の（各デバイス702及び704それぞれに関して、多くのうち2つが示されている）弾性接触構造708（430と比較）は、それぞれデバイス702及び704に、例えば、図3Aないし3C、及び4Aないし4Gに関して前述した方法で直接取り付けられている。

複数の（多くのうち4つが示されている）接触パッド（ターミナル）712を有するテスト・ボード710が、接触パッドのそれぞれが対応する弾性接触構造の1つと圧縮接続するように、ウエハを支持する、またはその逆にされる。このように、「ソケットなし」のテストと、単一化されていない半導体デバイスのバーンインを実施する技法が提供される。

テスト・カード710は、頂部表面（図において）に配置された複数のパッド712を有する簡単な（例えば、容易に、かつ安価に製造でき

る）プリント回路ボード(PCB)とすることができる。

ウエハ（デバイス702、704、及び追加デバイス）は、各弾性接触構造708が対応するパッド712上で支持を行うように、任意の適当な調整手段（図示していないが、位置づけピンなど）を使用して、カード710に対して調整される。これは

、カード710と電子素子702及び704の間の弾性「一時」接続として作用する。カード710には、端部コネクタその他（図示せず）が提供され、オプションとして組み込みテスト回路（図示せず）が提供され、素子のテスト及びバーンインが容易に行われる。

この技法の利点においては、自身で弾性プローブ要素を有する「特別な」プローブ・カードが必要とはされず、これらのテスト（及びバーンイン）動作を実施するために構成される必要はない。

図7Aに示す技法に従う重要な利点は、弾性接触構造708がそれぞれそれら自身の上で立ち（互いに分離されて）、ダイ（702、704）の表面からかなりの距離だけ延びているように製造されることである。これは、その技法が弾性接触構造の間、及びダイ（例えば、702）の反対側の表面とテスト・カード710の間の両方で、かなりデッド・スペースを提供するという点で重要である。このデッド・スペース714は、ダイ702の反対側表面とテスト・カード710の間の点線で例として示されている。多くの半導体適用例では、できるだけ相互接続に近くコンデンサの減結合(decoupling capacitor)を提供することが有益である。本発明に従うと、別の「デッド・スペース」714に位置付けられたコンデンサ（図示せず）の減結合のための広いスペース

がある。こうしたコンデンサの減結合は、半導体ダイ（702）またはテスト・カードのどちらかに取り付けられる。

図7Bには、単一化されていない半導体デバイス（例えば、702）のソケットなしのテスト、及びバーンインに使用される同じ弾性接触構造708が、変更なしに、結果的に有利に使用され、電子素子702と相互接続基板（システム・ボード）720、その他の間の「永久」接続を行いうことが示されている。基板720には、素子702上の弾性接触構造708の頂上に、1つずつ調整された複数の接触パッド722が提供される。素子702と基板720の間の永久接続は、(i)ばねクリップ及び同様のもの（図示せず）を介して素子702に「永久」圧力をかけ、基板に対して素子をバイアスすることによって、または(ii)素子702を基板720にはんだ付けすることによって達成される。

図示したように、弾性接触構造708は、基板720上のパッド722にはんだ付けされる。このことは、各パッドに多量のはんだ（例えば、はんだペースト）を用意し、基板に対して素子302を押しつけ、はんだをリフロー（熱的な循環）するために、アセンブリを溶炉に通すことによって容易に達成される。リフローされたはんだは、図7Bにはんだフィレ(fillet)724として示されている。

図7Bに関して示されたものと同様の方法においては、弾性接触構造の間、及びダイ702の反対側表面と減結合コンデンサ及び同等のものが配置されうるワイヤ基板720の間かなりのデッド・スペースがある。

電子素子に対する一時、及び永久接続両方を作成するために、同

じ弾性接触構造を使用する本発明の技法は、活動半導体デバイス（例えば、むき出しの、パッケージングされていないダイ）に取り付けられた弾性接触構造に関して、特に有効である。

本発明の技法の別の利点は、図7A、及び7Bに関して示され、記述されており、それは、テスト・カード(710)とワイヤ基板(720)の両方に関し、ターミナル(712、722)のレイアウトが基本的に同じで、半導体ダイ上の接続パッド（例えば、弾性接触構造708）のレイアウトの「ミラーリング」であることである。（テスト・カード710に対して、この「同一性」をダイ毎に当てはめ、テスト・カードが複数の単一化されていないダイを訓練する大きさにされている場合に、複写される。）実用的な用語では、これは、同じ汎用「設計」（ターミナルのレイアウト）が、テスト・カード、及びワイヤ基板両方に適用され、それによって、プローブ・カード1つに対して1つの設計を有し、ワイヤ基板に対して別の設計を有することを不要にすることを意味する。

前述した頂上構造のような頂上構造が、弾性接触構造708の頂上に取り付けられうることは、それが単一化されていない半導体ダイ702及び704を訓練する前に行う場合も含め、本発明の範囲に属する。

パッケージング・フロー

ウエハレベルで半導体デバイスに複合相互接続要素（少なくとも1つの導電金属被覆層を有するワイヤ・システム）を取り付け、同じ相互接続要素をテスト/パ

ーンイン（一時接続）の両方、及び半導体デバイスの最終パッケージング（永久接続）のために再使用する

という概念は、前述の、本出願人の米国特許出願第08/152,812号で最初に記述され、前述の、本出願人の米国特許出願第08/340,144号（対応するPCT/US94/13373を含む）で更に洗練されている。

例えば、後者では以下のような記述がある。

- ・「ウエハ、または単一化された形状内のデバイス上に接触を取り付けることができる。」

- ・「ダイがウエハから切り離される前に、ウエハ内の半導体デバイスに接触を行うことができる。」

- ・「この...処理は、ウエハ内の半導体デバイス、及び単一半導体デバイスと共に使用される。」

- ・「...接触構造の頂上を広範囲な係合部で、テスト基板に設けられた一致接触ターミナルに柔軟に押しつけることによって、完全な機能スピードでテストを行うことができる...」

- ・...もまた、半導体デバイスのバーンイン・テストに使用される」

- ・「半導体デバイスによって保持された弾性接触構造を使用し、...及びテスト、及びバーンイン基板によって保持された接触パッドに対して柔軟で外すことができる接触を行うのに同じものを用いることによって、テスト及びバーンインを行うことが容易に達成され、...それによって第1レベルの半導体パッケージングを不必要にする。」

図7Cは、半導体デバイスが、その半導体ウエハ上の製造から、最終組立（パッケージング）までにたどる、従来技術における経路740の例を示している。ステップ742（「ウエハの製造」）に示されて

いるように、複数の半導体デバイスが半導体ウエハ上で製造される。次に、ステップ744（「ウエハのプロープ/マップ」）で、ウエハ上の半導体デバイスがプロープされ、「マップ」が、どの半導体デバイスの製造が成功しているか、及び

どの半導体デバイスの製造が失敗しているかを示すように生成される。次に、ステップ746（「ウエハ切断」）で、ウエハが半導体デバイスを単一化するために切断され、良好なダイはパッケージング、及び更なるテストのために保存される。ステップ744及び746は、点線によって分けられているが、全体処理フローのウエハ処理段階を含んでいる。

次に、製造の成功したダイが、そのダイをリードフレームのパドルに取り付け（「ダイ取り付け」；ステップ748）、ダイ上の接続パッドをリードフレームのフィンガーにワイヤ接続し（「ワイヤ接続」；ステップ750）、ダイとリードフレームを（例えば、可塑性モールドニング化合物で）オーバーモールドニングし（「オーバーモールド」；ステップ752）、オプションで（パッケージ本体に対して）外部の露出されたリードフレームの部分をはんだめっきし（「はんだめっき」；ステップ754）、過度のモールドニング化合物をトリミング（「不要なものを取り除く」）してリードフレーム・フィンガーの外側部分を形成（例えば、ガルウイング、Jリード）し（「トリム及び形成」；ステップ756）、バーニン溶炉内の比較的高温に耐えることができるトレイバック内に、パッケージ化されたダイを配置し（「トレイバック」；ステップ758）、バーニンを実施し（「バーニン」；ステップ760）、及び規定された基準（例えば、操

作スピードなどの性能仕様）に従ってデバイスをソートするために、パッケージ化された半導体デバイスを更にテストする（「スピードソート」；ステップ762）ことなどによってパッケージ化される。（ステップ762が完了した時点で、ウエハの製造742に戻ることもできる。）これらのステップ744...762は、全体処理フローのチップ・パッケージング段階を示すものである。最終ステップ（「表面取り付けカード・アセンブリ」；ステップ764）では、パッケージ化され、ソートされたデバイスが、（表面取り付け（SMT）などによって）ワイヤ基板（カード）に取り付けられる。同じステップは通常、リードフレームなしでパッケージ化された半導体デバイス（例えば、ボール・グリッド・アレイ・パッケージ）に適用される。

半導体デバイスのバーニンをを行う処理は、高温でデバイスをパワーアップす

ることを含む。明らかに、パッケージの材料（例えば、可塑性）は、パッケージ化された半導体デバイスがバーンイン溶炉内で晒されうる温度に関する制限が課せられる。共通のバーンインの体制は、パッケージ化された半導体デバイスを168時間、125℃に加熱することを含む。以下で説明するように、本発明の利点は、半導体デバイスが、例えば、150℃といった、125℃より高い温度でバーンインされうることであり、同等の結果が、例えば、（168時間に対して）3分といった、かなり短い時間で生じる。

バーンインを既にパッケージ化された半導体デバイスに実施すると、一定の関係が生じる。特に非金属、または非セラミックの材料がそのパッケージングに含まれる場合、高温に対して長い時間晒さ

れることに耐えられるパッケージはほとんどない。

図7Dは、半導体デバイスが、その半導体ウエハ上の製造から、最終組立（パッケージング）までにたどる、本発明に従う経路780の例を示している。ステップ782（「ウエハの製造」；742と比較）に示されているように、複数の半導体デバイスが半導体ウエハ上で製造される。

次のステップ784（「ウエハのプロープ/マップ」；744と比較）で、ウエハ上の半導体デバイスがプロープされ、「マップ」が、どの半導体デバイスの製造が成功しているか、及びどの半導体デバイスの製造が失敗しているかを示すように生成される。（以下で示すように、このステップ784は省略されるか、または処理フローの後ろで実施することができる。）

次のステップ786（「スパッタ/レジスト/パッドのめっき」）では、例えば、ブランケット導電層をスパッタリングし、フォトレジストのようなマスキング材料を付加してパターン化し、パッド（ターミナル）のめっき、及びその他同様の処理を実施することによって、前述のように、弾性接触をそのウエハに取り付ける準備としてウエハが処理される（図3Aないし3C参照）。オプションで、ステップ784がステップ786の後に実施される。

次のステップ788（「ばね取り付け」）では、弾性接触構造（複合相互接続要素）の前述の核部分（これも「ワイヤ・ステム」と呼ばれる；112、122、132、1

42、152、216、320と比較)がパッド(ターミナル)に取り付けられる。これは、初期のウエハのプロープ(ス

テップ784)をパスしたダイだけに行われる。また、初期のウエハのプロープ(ステップ784)にパスしないダイでも、そこに取り付けられる核部分を有することができ、後続の上塗り(ステップ790、この後説明する)を均一にする。

次のステップ790(「ばねを置く／はがす」)では、上塗り材料が核の上に付加され、マスキング材料(フォトレジスト)及びマスキング材料の下にあるブランケット導電層の部分が除去される(図3Aないし3C参照)。オプションで、ステップ784はステップ768の後に実施できる。

次に、ステップ792(「高温チャック(hot chuck)バーンイン」)では、パッケージ化されていない半導体デバイスがバーンインされる。単一化されていない半導体デバイスに取り付けられた弾性接触構造(複合相互接触要素)に圧縮接続を行うことによって、単一化されていない半導体デバイスに電源が供給される。

バーンイン・ステップ792は少なくとも150°Cの温度で実施されることが好ましい。半導体デバイスはまだパッケージ化されていないので、かつ半導体デバイスに取り付けられた複合相互接続要素が完全に金属なので、この処理のこの段階において、他の場合では、こうした高温に耐えられない材料を含むパッケージ化された半導体デバイスを破壊する(ステップ760と比較)温度を受けることが可能である。バーンインは、ウエハに常駐する(単一化されていない)半導体デバイスの全体の上で、またはウエハに常駐する半導体デバイスの選択された部分の上で実行される。

本発明の一態様に従って、パッケージ化されない半導体デバイスは、少なくとも150°C(少なくとも175°C及び200°Cを含む)のような、125°Cより高い温度でバーンインされ、満足な結果が、数時間(例えば、168時間)ではなくむしろ、数分(例えば、3分)といった時間で得られる。明らかに、このバーンインを速く実施すればするほど、全体の処理時間が短くなり、それに見合うコスト節約が可能になる。より高いバーンイン温度の使用は、本発明の複合相互接続要素が金属

構造であるという事実によって促進される。本発明に従えば、満足なバーンインが、60分未満（30分未満、及び10分未満を含む）で行われる。

次に、ステップ794（「スピード・ソート」；762と比較）では、パッケージ化されていない半導体デバイスが、規定された基準（例えば、性能仕様）に従ってデバイスをソートするためにテストされる。これは、一度に1つの単一化されていないダイに関し実施され（順に複数の単一化されていないダイをテストする）、また一度に2つ以上のダイに関しても実施される。このステップの完了時点で、ウエハ製造782に戻ることができる（例えば、作動問題(yield problem)が報告された）。このステップ796で高い作動(high yield)が認められる場合、プローブ・ステップ784を完全に省略することが望ましい。

次に、ステップ796（「ウエハの切り取り」；746と比較）で、半導体デバイスは、ウエハから単一化（分離）される。

これらのステップ784...796は、本発明の全体処理フロー（方法論）

のチップ・パッケージング段階を示している。

最終ステップ798（「表面取り付けカード・アセンブリ」；ステップ764と比較）では、パッケージ化されていない、ソートされた半導体デバイスが最後に組み立てられ、表面取り付け(SMT)などによってワイヤ基板（カード）に取り付けられる。

事前に製造された頂上構造、複合相互接続要素処理、及び頂上構造の正午接続要素への接続

前述の図2Dないし2Fは、犠牲基板(254)上で、頂上構造(258)を製造し、後で電子素子のターミナルに取り付けるために頂上構造(258)上に複合相互接続要素264を製造するための技法を開示している。

図8Aは、事前に製造された頂上構造が（例えば）ろう付けされた複合相互接続要素を製造する代替技法800を示しており、これは特に、半導体デバイス上に常駐する弾性接触構造に関して有用である。

この例では、頂部（図で見て）表面を有するシリコン基板（ウエハ）802が、犠牲基板として使用されている。チタンの層804がシリコン基板802の上部表面上

に配置され（例えば、スパッタによって）、それは厚さ約 $2.5 \times 10^{-5} \text{ mm}$ （約 250 \AA （ $1 \text{ \AA} = 0.1 \text{ nm} = 10^{-10} \text{ m}$ ））である。アルミニウムの層806がチタンの層804の上に付加され（例えば、スパッタによって）、その厚さは約 $1.0 \times 10^{-3} \text{ mm}$ （約 $10,000 \text{ \AA}$ ）である。チタンの層804はオプションであり、アルミニウム層806にとっては接着層として機能する。銅の層808は、アルミニウム層806の上に付加され（例えば、スパッタで）、その厚さは約 $5.0 \times 10^{-4} \text{ mm}$ （約 $5,000 \text{ \AA}$ ）である。マスキング材料の層810は銅の層808の上に付加さ

れ、約 0.0508 mm （約2ミル）の厚さである。マスキング層810は任意の好適な方法で、フォトレジスト層810を通してその下の銅の層808に延びる複数（多くのうち3つが示されている）の孔812を持つよう処理される。例えば、各孔812は、直径 0.1524 mm （6ミル）とすることもでき、 0.254 mm （10ミル）のピッチ（中心から中心）で配置することもできる。犠牲基板802は、こうして、孔812の中に複数の複数層接触頂上を製造するよう、以下のように準備される。

めっきのような方法で、ニッケルの層814が銅の層808上に付加され、この層は約 0.0254 mm ないし 0.0381 mm （約1.0ミルないし1.5ミル）の厚さである。オプションとして、ロジウムのような貴金属の薄い層（図示せず）が、ニッケルを付加する前に銅の層の上に付加されうる。次に、金の層816がめっきのような方法でニッケル814の上に付加される。ニッケル及びアルミニウムからなる（及びオプションでロジウム）複数層構造は、製造された頂上構造（820、図8Bに示されている）として機能する。

次に、図8Bに示すように、（任意の好適な溶媒を用いて）、銅の層808の上にある複数の製造された頂上構造820を残したまま、フォトレジスト810がはがされる。次に、銅（808）が素早いエッチング処理を受け、それによって、アルミニウム層806を露出させる。明らかに、アルミニウムは、はんだ及びろう付け材料に関して実質的に可溶性を有しない（non-wettable）ので、後続のステップにおいて有用である。

中に「代用の」頂上構造822が、頂上構造820を製造するのに用い

られる同じ処理ステップで製造される、追加の孔を有するフォトリソをパターン化することが好ましい。これらの代用の頂上構造822は、めっきされる表面を横断してそれ自身が現れている所からの急勾配（非均一性）を低減することによって、前述のめっきステップを周知のよく理解された方法で均一化するよう機能するようになる。こうした構造(822)はめっきの分野では「ローバー」として知られている。

次に、はんだまたはろう付けペースト（「接統材料」）824は、頂上構造820の頂部（図で見て）表面の上に付加される。（このペーストを代用の頂上構造822の頂部の上に付加する必要はない。）これは、任意の好適な方法で、ステンレス鋼スクリーンや型紙などで実施される。通常のペースト（接統材料）824は、例えば、0.0254mm（1ミル）の球体（ボール）を示す金－スズ合金（フラックス・マトリックスで）を含む。

頂上構造820はここで、好適には本発明の複合相互接統要素である、弾性接触構造の端部（頂上）に取り付けられる準備ができた。しかし、複合相互接統要素が最初に特別に、頂上構造820を受容するよう「準備される」ことが好ましい。

図8Cには、頂上構造(820)が複合相互接統要素832の端部に取り付けられることを見越して、複数の（多くのうち2つが示されている）複合相互接統要素832（324と比較）を備えた複数の単一化されていない半導体デバイスの内の1つ830を準備する技法850が示されている。複合相互接統要素832が（断面ではなく）完全に示されている。

この例では、複合相互接統要素832は複数層（図2Aと比較）で、銅の層（図示せず）で上塗りされた金の（ワイヤ）核を有し、それが更に、ニッケル（好ましくは、ニッケルとコバルトの比が90:10である、ニッケル－コバルトの合金）の層（図示せず）で上塗りされ、更に、銅の層（図示せず）で上塗りされる。明らかなように、ニッケルの層が望ましい最終の厚さの相当な部分（例えば、80%）だけに付加されることが好ましく、以下で示すように、残りのニッケルの厚さの小さな部分（例えば、20%）が、次のステップで付加される。

この例で、半導体ダイ830には、明らかに仕上げ停止部として機能する、その

頂部（図で見て）表面から延びる複数の（多くのうち2つが示されている）柱状構造834が提供される。こうした仕上げ停止部を多く有する必要はない。

半導体デバイス（1つ又は複数）830は次に、熱で溶け、溶液に溶ける重合体のような、好適なキャスト材料836で「キャスト」され、半導体デバイス（1つ又は複数）の頂部表面から延びる複合相互接続要素832を支持するよう機能する。オーバーモールドされた半導体デバイス（1つ又は複数）の頂部（図で見て）表面が次に、キャスト材料の頂部表面に落とされる（図で見て）仕上げホイール838などを使用した仕上げを施される。前述の仕上げ停止部834は、点線Pで示されたような、仕上げホイールの最終位置を決定する。こうして、複合相互接続要素832の頂上（図で見て上部端）が、実質的に完全に互いに共面であるように仕上げられる。

弾性接触構造の頂部が共面であることは、テスト・カード（例えば、710）またはワイヤ基板（720）に対する信頼性の高い圧縮接続を保証するのに有利である。確かに、仕上げ（または任意の他の手段）によって平面にされる頂上から始まることは、この重要な目的の達成に貢献する。

仕上げによって弾性接触構造の頂上が平面にされると、キャスト材料836が好適な溶媒で除去される。（仕上げ停止部834はこの時点で除去される。）キャスト材料は周知であり、その溶媒も周知である。ワックスのような、単に溶けてしまうようなキャスト材料が仕上げのための相互接続要素（832）の支持に用いられうことは、本発明の範囲内である。こうして、半導体デバイス（1つ又は複数）は、前述の頂上構造（820）を受容する準備が整う。

仕上げ動作の効果に関する有利な側面は、複合構成要素832の金のワイヤ・ステム（核）を上塗りしている材料が、金の核を露出させたまま、頂上で除去されることである。複合相互接続要素の頂上に頂上構造（820）をろう付けすることが好ましいので、ろう付けする露出された金の材料を有することは好ましいことである。

ここまで、1つの追加のめっきステップ、即ち、複合相互接続要素832をニッケルめっきして、その複合相互接続要素に、それらの好ましい全体のニッケルの

厚さからなる前述の残りの小さい部分（例えば、20%）を提供するステップを最初に実行することによって、複合相互接続要素に頂上構造を受容する準備を更に行うことが好ましいということが述べられている。

図8Bに示される準備された基板はここで、準備された半導体デバイス（1つ又は複数）上に支持される。図8Dに示すように、頂上構造820（図8Dには、例示を簡単にするため2つの頂上構造だけが示されている）は、標準のフリップーチップ技法（例えば、スプリット・ブリズム）を用いて複合相互接続要素の頂上と調整され、アセンブリはろう付け溶炉を介して渡され、接続材料824をリフローし、それによって事前に製造された頂上構造820を接触構造832の端部に接続する（例えば、ろう付けする）。

この技法が事前に製造された頂上構造を、非弾性の接触構造の端部、弾性接触構造、複合相互接続要素、及びその他同様のものに接続（例えば、ろう付け）するのに用いられることは、本発明の範囲内である。

リフロー処理の間、可溶性を有しない露出されたアルミニウム層(806)は、はんだ（例えば、ろう付け）が頂上構造820の間で流れるのを防止し、例えば、はんだのブリッジが隣接する頂上構造の間で形成されるのを防ぐ。アルミニウム層のこの抗可溶性に加えて、アルミニウム層はまた、解放層としても機能する。エッチング液を用いて、アルミニウムが（アセンブリの他の材料に対して）優先的にエッチングされ、シリコン基板802が簡単に「取り除かれ(pop off)」され、結果的にそれぞれが図8Eに示すような、事前に製造された頂上構造を有する複合相互接続要素を有する半導体デバイスが製造される。（接続材料824は、相互接続要素832の端部上の「フィレ(fillet)」としてリフローされることに注意すべきである。）処理の最

後のステップで、残りの銅(808)がエッチングされ、ニッケル（または前述のようにロジウム）を有する頂部構造820が、別の電子素子（例えば、710または720）のターミナルに接触するために露出されたままになっている。

（832のような）複合相互接続要素が、図8Aに関連して記述した頂上構造冶金

を使用する、図2Dないし2Fに関連して述べられた技法の「意図」で、最初に自身の頂上構造の上に製造され、その後半導体デバイス（1つ又は複数）に取り付けられる。

ろう付け（はんだ）ペースト824が省略され、その代わりに、接触頂上(820)を弾性接触構造に取り付ける前に、その弾性接触構造の上に共晶(eutectic)材料（例えば、金-スズ）の層がめっきされることは、本発明の範囲に属する。

弾性接触構造の端部に接触頂上を形成するための、前述した任意の技法を使用することは、z軸導電接着(z-axis conducting adhesive)を介した圧縮接続を作成するのに特に有用である。こうした接着は普通になっており、例えば、活動デバイスを液晶ディスプレイ(LCD)パネルに取り付ける際に用いられる。

前述したように、接触構造の遠い方の端（頂上）には、位相接触パッドなどが提供される。例えば、接触構造の頂上に平坦なタブ（圧縮板(plate)）が提供されることは本発明の範囲内である。こうして、外部素子への相互接続が、（はんだ付けなどを用いずに）容易に行われ、特に、「z軸導電接着」と呼ばれるものを介して、壊れやすい外部素子への相互接続が行われ、これは中に導電（例えば

金）微粒子が配置され、圧縮された状態で導電性を示す既知の材料である。

図8Fは上塗りされたワイヤ・ステム862を示し、その遠い方の端部（頂上）には平坦なタブ（パッド）864が、図2E、または8A及び8Bに関して前述されたものと同様の技法で提供される。

電気的な相互接続が、接触構造862から外部電子素子866に、完全に浮遊する導電粒子870を有するz軸導電接着868によってもたらされる。接触構造862が接続する電子素子（この図では省略されている）が外部素子866に対して押しつけられると、接着868が圧縮され導電性をもたらす。

相互接続要素の中央部分の接触

本発明の一態様に従うと、第1の電子素子に取り付けられた接触構造間の電子的な接触は、上塗り材料でというよりむしろ、上塗りされたワイヤ・ステムの中央部分によって行われている。

図9Aは、基板908（例えば、半導体デバイス）に接続された一端902aと、その基板908に接続された他端902bを有するワイヤ・ステム902を示している。端部902a及び902bは両方とも、基板908上の同じ接触領域910（例えば、接触パッド）に接続される。

図9Bは次のステップを示し、ワイヤ・ステムの中間部分がフォトレジスト912などでマスクされ、後続の、ワイヤ・ステムのマスクされた部分の上塗り（例えば、めっき）されるのを防ぐ。

図9Cは次のステップを示し、マスクされたワイヤ・ステムが、少なくとも1つの、ニッケルのような材料の層920で上塗りされる。

図9Dは次のステップを示し、マスキング材料912が除去される。これは、ワイヤ・ステムの中央部分902cを、別の電子素子に接触を行うために露出されたままにする。これに関し、金は優れた電気接触特性を有するので、ワイヤ・ステム(902)を金にすることはよい選択であり、上塗り材料920が電気導電性を有する（これは結果の接触構造のばね品質を確立するだけである）ことは重要ではない。

複数独立ワイヤ・ステム、単一分離ステップ

前述の実施例の多くにおいて、ワイヤ（例えば、金のワイヤ）が電子素子上の接触領域に接続され、形成され（真っ直ぐなものを含む）、及び独立になるよう分離されることが記載されてきた。こうして、結果のステムの一端が電子素子に取り付けられ、ワイヤ・ステムの他の（自由）端が、別の電子素子に接触するために利用可能である。通常、これは、各ワイヤ・ステム毎に接続と分離を行うステップを繰り返すことによって、各独立ワイヤ・ステムを個別に形成することを必要とする。

本発明の一態様によれば、複数（多重）の独立ワイヤ・ステムが、複数の接続ステップ、及び単一の分離ステップで形成されうる。

この実施例は、前述の図9Aないし9Dを参照することによって理解される。しかし、このケースでは、ワイヤ・ステム902の端902a及び902bが、同じ接触領域(910)に接続され、または基板908上の2つの個別の接触領域（110、110、図示せず）に接続されうる。

上塗りを通して露出されるようになった核（または前の図9Aないし9Dの例のような核）が、選択された領域内で上塗りされない、こ

こで開示した実施例のいずれにおいても、金のワイヤ・ステム(902)が、最初に薄いスズの層で上塗りされ、最終的に金-スズ共晶を形成することは有益であり、それは特に後続のろう付け動作において有益である。

この実施例では、マスク(912)を除去した後、接触構造が共晶ワイヤ・ステムをリフローする十分な温度にまで加熱され、それが接触構造の2つの「足」の間で、露出された「端」（たるみ）902cを「崩壊」させ、結果的に、図9Eに示すような2つの独立接触構造930及び932になり、それぞれは別の電子素子との接触に適した共晶の頂上（遠い方の端、親出願の図49Bと比較）を有している。

この原理は親出願の図24cに示されるような、ループのシーケンスに適用することは本発明の範囲内であり、ワイヤ・ステムのそれぞれの自由端を分離（例えば、電子光除去）する必要なく、複数の独立接触構造を形成する。

本発明の一実施例に従うと、複数の単一接続ワイヤが、2つの電子素子の間でループされ、次に分離され、2倍の独立ワイヤ・ステム（または上塗りされたワイヤ・ステム）を形成する。

例えば、図9Fに示すように、単一ワイヤ・ステム942は、第1の電子素子944の取り付けられた第1の端部942a、及び第2の電子素子に取り付けられた第2の端部942bを有する。2つの電子素子944及び946は半導体ウエハ上で隣接する単一化されていない半導体ダイとなることもある点を例示するため、図5に注意が払われる。

ワイヤ・ステム（核）が2つの隣接する電子素子（例えば、半導

体ダイ）をブリッジしている図9Fの例は、単一化されていない半導体ダイに取り付けられた相互接続要素は、それが取り付けられている（接続されている）半導体ダイの端をはみ出してはいけないという「ルール」の例外を示している。

前述したように、単一化されていない半導体ダイに取り付けられた接触構造が、本発明に従って、ダイの端の上に、即ち切断（その他同様の手段）がダイの単

一化（さいの目にする）操作を実施する切り口領域となる、2つの隣接するダイの間の領域に延びないことは一般的に好ましいことである。

図9Fに示すように、ワイヤ・システム942の「ブリッジ」部分は、切断カッタ950で、ダイを単一化するのと同じ操作で単に切断される（図4Fと比較）。

分離なしで複数の独立接触構造を製造する概念は、あるターミナルから別のターミナルに延びる、またはあるダイのターミナルから別のダイのターミナルに延びる（図5と比較）簡単なワイヤ接続ループでも行われうる。更に、ループのシーケンスはこの方法で取り扱うことができ、後に、それぞれが電子素子上の個別ターミナルに取り付けられた多くの独立ワイヤ・システムを残す。

図6Bに示すワイヤ・システムは、任意の好適な方法で除去される最上の部分を有することもまた、本発明の範囲に含まれる。それはフレームをダイ（1つ又は複数）から（例えば、そのフレームを溶解するというよりむしろ）分離する。

ループが形成され（通常ターミナルからターミナルへ）、好適な

任意の方法でそれらのたるんだ部分が除去され、結果的に2つの独立したワイヤ・システムがループ毎に形成されることは、一般的に本発明の範囲内である。例えば、このループはワックスのような材料でカプセル化され、その足を互いに分離させるために仕上げが行われる。これは、上塗りの前、あるいは後に行うことができる。上塗りの後に行う場合、ワイヤ・システムが露出され、共晶ワイヤ・システムを有する利点が容易に実現される。

例えば、図10Aは、電子素子1014の表面上のターミナル1006、1008、1010、及び1012の間に形成された複数の（多くのうち2つが示されている）ループ1002及び1004を示している。図10Bは、堅いワックスなどの犠牲材料1020（836と比較）内でカプセル化（例えば、ポッティング）されたループ1002及び1004を示している。この方法でポッティングされた後で、研磨（仕上げ）ツール1022（838と比較）が、ポッティングされたループの上に下ろされ、ポッティング材料1020とループ1002及び1004のたるみ部分を通して、ループが分離されるまで研磨を行う。

（これは、図の「P」の点線によって指されている。）次に、ポッティング材料が（溶解（melting）などによって）除去される。この結果、各ループに2つの独

立ワイヤ・ステム（図示せず）が作られる。ワイヤ・ステム（ループ）がポッティングの前、または研磨（及びポッティング材料の除去）の後のどちらかで、上塗りされることは本発明の範囲内である。ワイヤ・ステムがポッティングの前に上塗りされる場合、ワイヤ・ステムはろう付け可能な頂上を形成するよう露出される。

ループのワイヤ・ステム（例えば、1002）が、（図示するように、同じ電子素子上にある2つのターミナルではなく）ある電子素子上のターミナルから別の電子素子上のターミナルに延びることは本発明の範囲に属する。

ループ、またはその同様のものから複数のワイヤ・ステムを製造することによって、そのループ（及び、最終的に独立接触構造）が取り付けられる電子素子（半導体デバイスのような）は、ダメージを与える可能性のある、電子光除去技法に関する高い電圧（例えば、放電時の数千ボルト）を受けることがない。

図10C及び10Dは、本発明に従って、独立ワイヤ・ステムをループから、電子光除去を使用せずに製造する別の技法を示す。図示するように、電子素子1058上のターミナル1062から延びるワイヤ・ステム1052は、ループ状に形成され、ターミナルに（または、電子素子上の別のターミナル、または別の電子素子上の別のターミナル）に向けて戻され接続される。ループの1つの「枝」（足）の実質的な部分は、フォトレジストのようなマスキング材料1054で被覆される。次にループは材料1058で上塗りされ、フォトレジストが除去され、その地点で、以前にマスクされたループの枝も除去され、結果として独立の上塗りワイヤ・ステムが図10Dに示すように得られる。

本発明が図面、及び前述の説明で詳細に例示され説明されたが、これらは、例示として考えられるべきで、これらの特徴に制限されるべきではない。ここでは好適実施例のみが示され、説明されており、本発明の意図の範囲内に含まれる全ての変更、修正が保護され

ることが望ましい。本発明に最も深く関連する当業者にとっては、前述した「テーマ」に関して、間違いなく多くの他の「変更」が考えられるが、こうした変更

は、ここに開示した本発明の範囲に含まれるものである。いくつかのこうした変更は、親出願に記載されている。

例えば、マスクング材料（例えば、フォトレジスト）が基板に付加され、マスクを浅く通り過ぎて露出させ、マスクング材料の部分を化学的に除去する（例えば、従来の写真製版技法）ことなどによってパターン化する、ここで記述され、または示唆された実施例のどれにおいても、除去しようとするマスクング材料（例えば、ブランケット硬化フォトレジスト）の部分で好適な平行光ビーム（collimated light beam）（例えば、エキシマレーザ）をあてることを含む、別の技法が使用可能で、それによって、マスクング材料のこれらの部分を削摩（ablate）し、または直接（マスクを使用せずに）、好適な平行光ビームでマスクング材料の部分を硬化させ、次に硬化されていないマスクング材料を化学的に洗浄する。

例えば、自動化された処理において、複数の単一化されていない半導体ダイが、半導体ウエハに常駐する間に、訓練（テスト及び／またはバーンイン）され、どのダイが「良好」か、どのダイの対（または他の複数の組）が「良好」か、及びウエハからの単一化に関して異なる範疇のダイをソートするために（自動化生産ラインにおいて）配置されるピンを決定することができる。

前述したように、本発明の複合相互接続要素は、直接半導体デバ

イスのターミナルに取り付けられる、好適な弾性接触構造の例にすぎない。前述の米国特許第5, 414, 298号に開示されたような手段は、この点を満たしていない。

一般的な弾性（簡単に形成可能）の核（ワイヤ、リボン等）を上塗りし、ばねとなりうる（例えば、比較的高い耐力）材料で上塗りする本発明の技法は、この上塗りが2つの目的、即ち(1)大部分で結果の接触構造（複合相互接続要素）の特性を決定し、(2)その複合相互接続要素を電子素子のターミナルにしっかり保持することを提供する点において独特のものである。

更に、前述のように、弾性接触構造(728)間で利用可能な広いスペース(714)があり、減結合コンデンサ（1つ又は複数）のような、任意の好適な追加の電子素子（1つ又は複数）を設置する。

Figure 1A

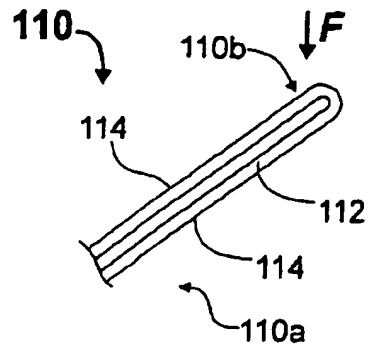


Figure 1B

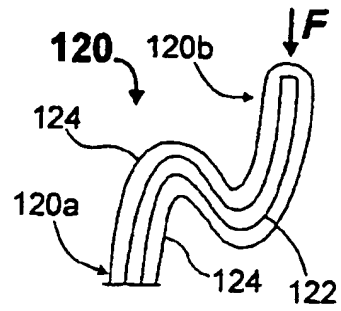


Figure 1C

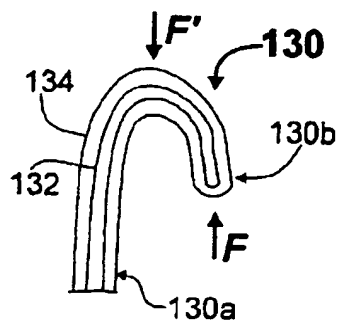


Figure 1D

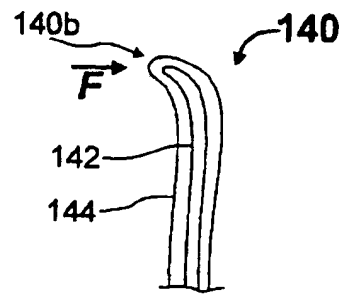


Figure 1E

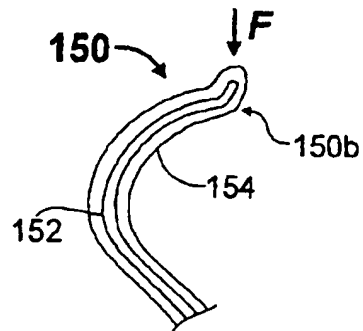


Figure 2A

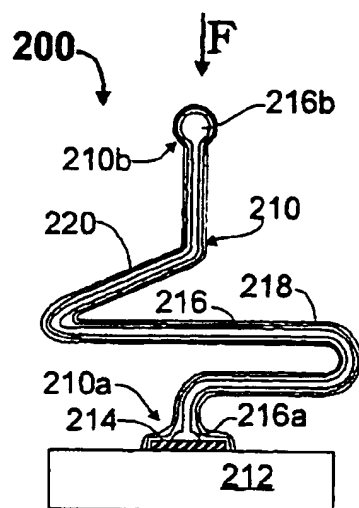


Figure 2B

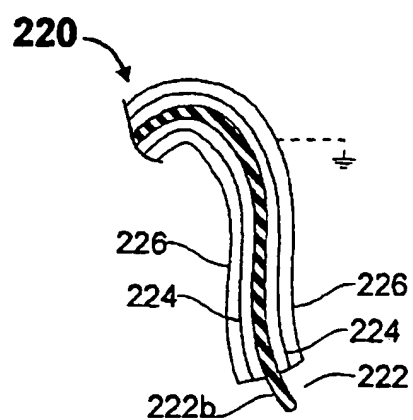
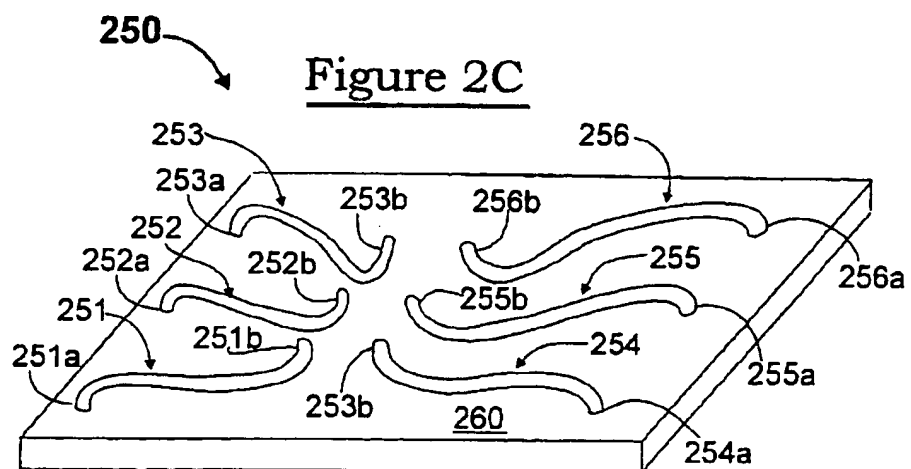


Figure 2C



【図2】

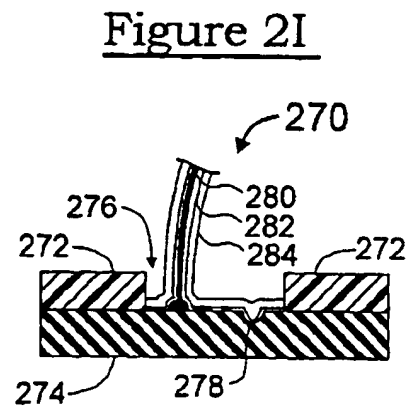
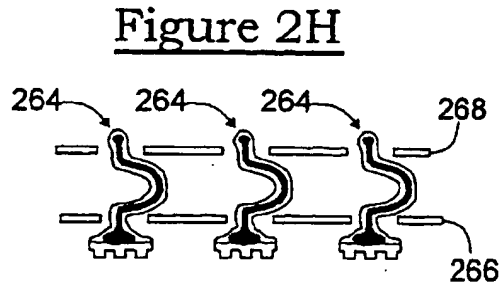
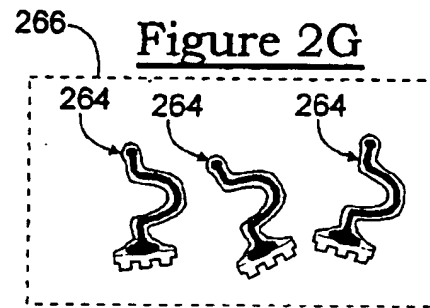
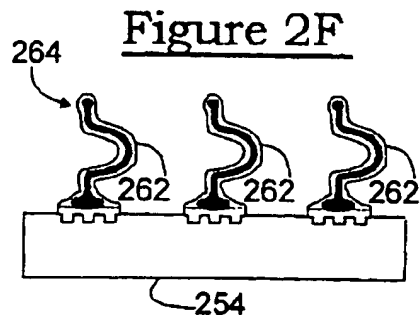
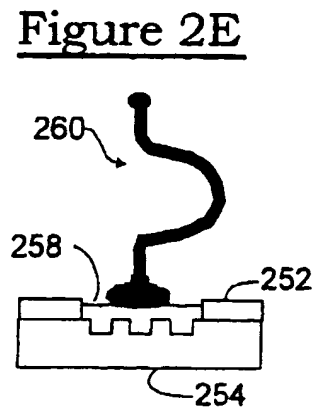
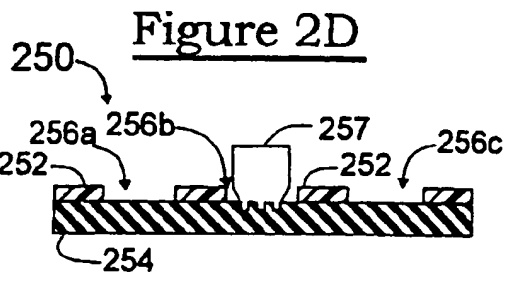


Figure 3A

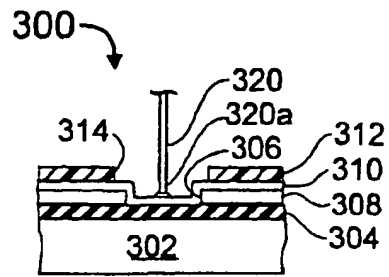


Figure 3B

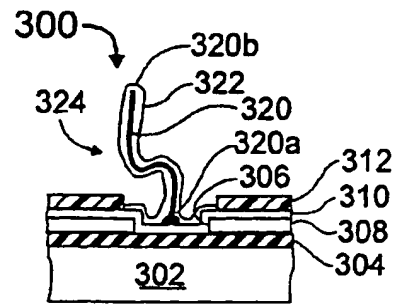


Figure 3C

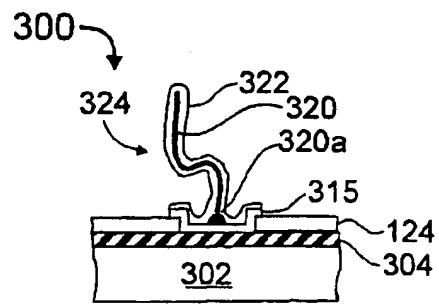


Figure 3D

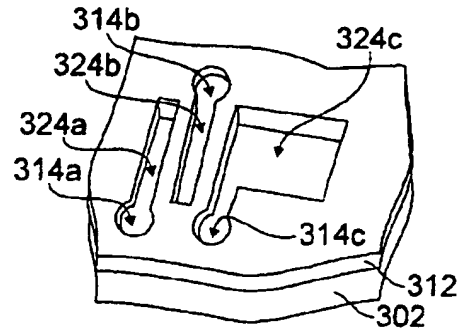


Figure 4A

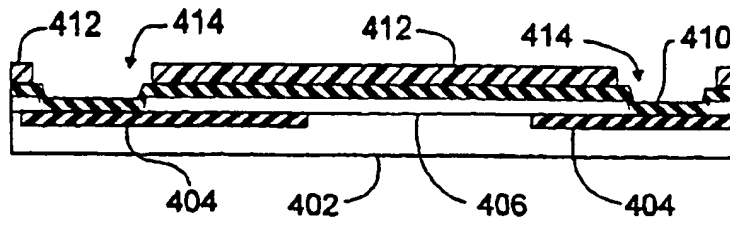


Figure 4B

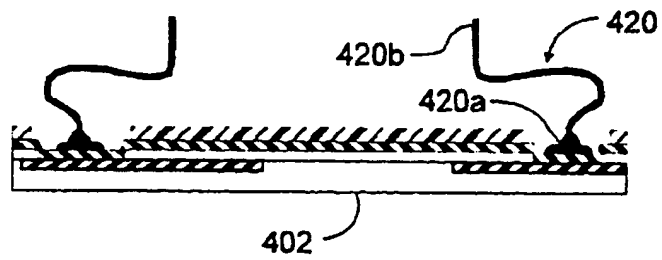


Figure 4C

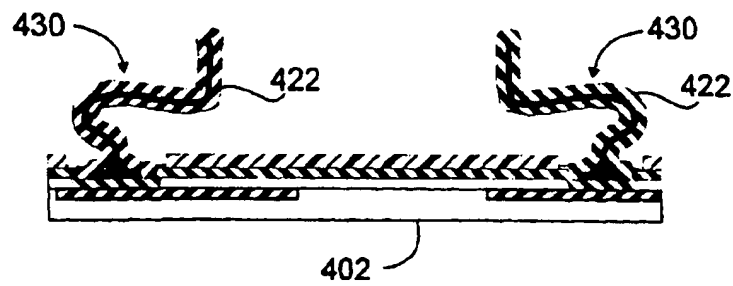


Figure 4D

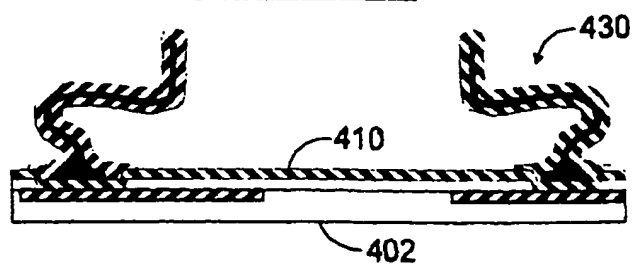


Figure 4E

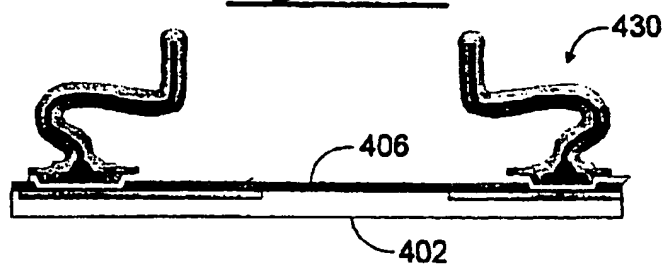


Figure 4F

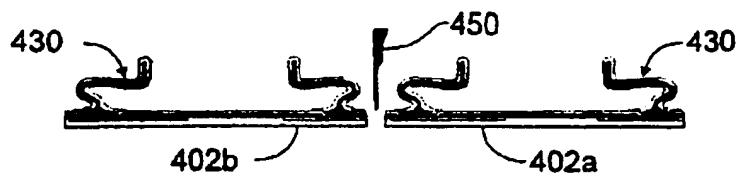
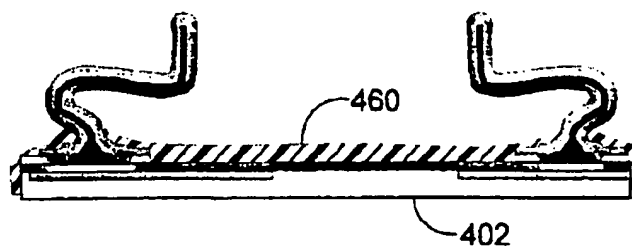
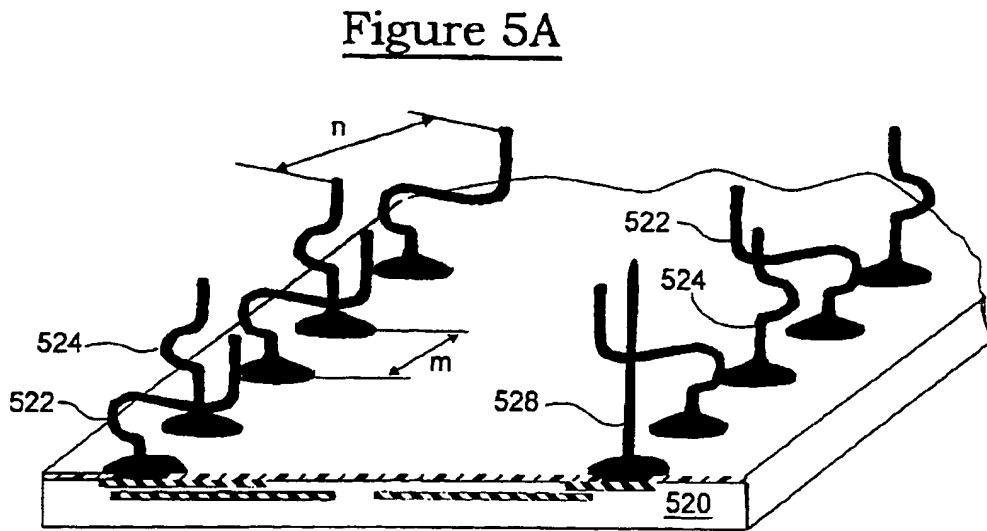
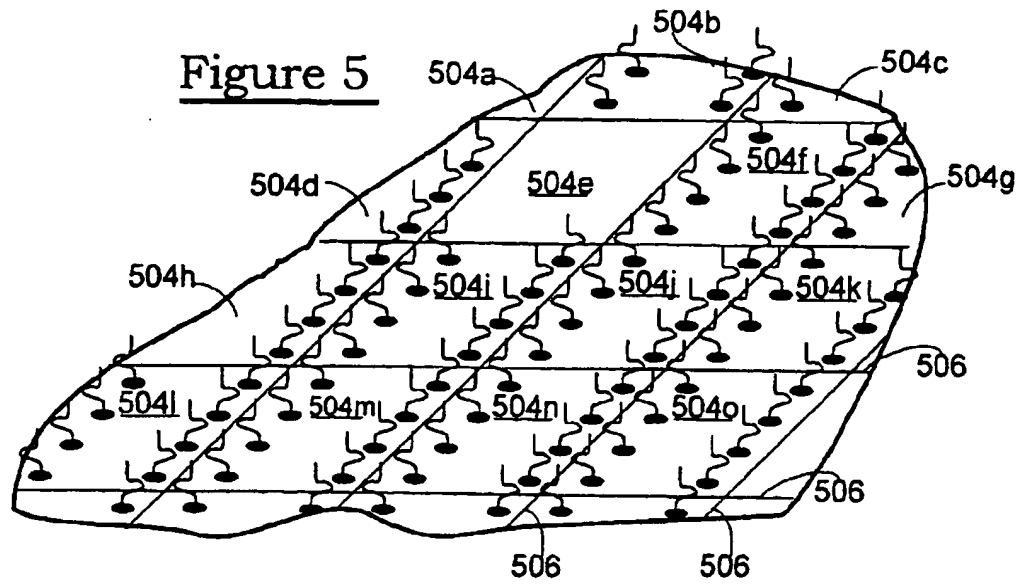


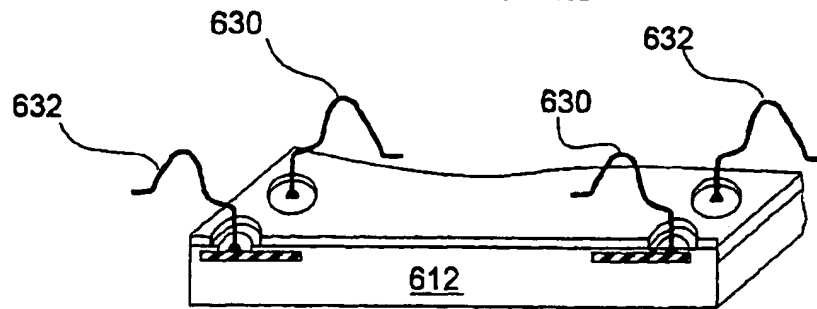
Figure 4G





【図 6】

Figure 6D



【図 7】

Figure 7A

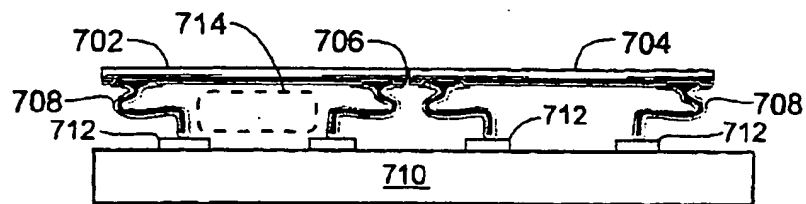
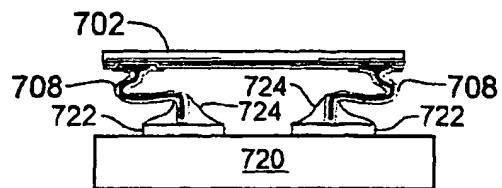


Figure 7B



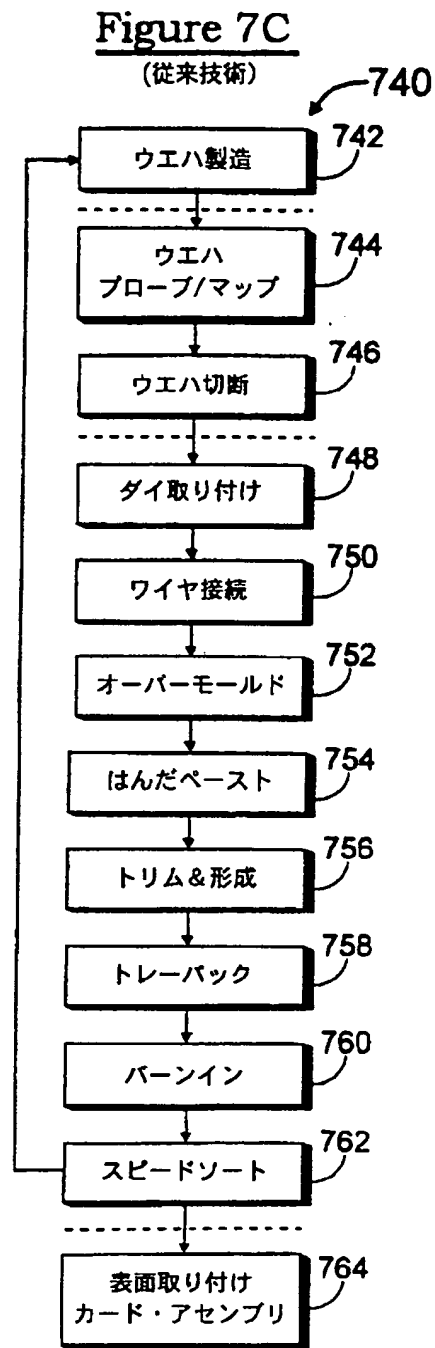


Figure 7D

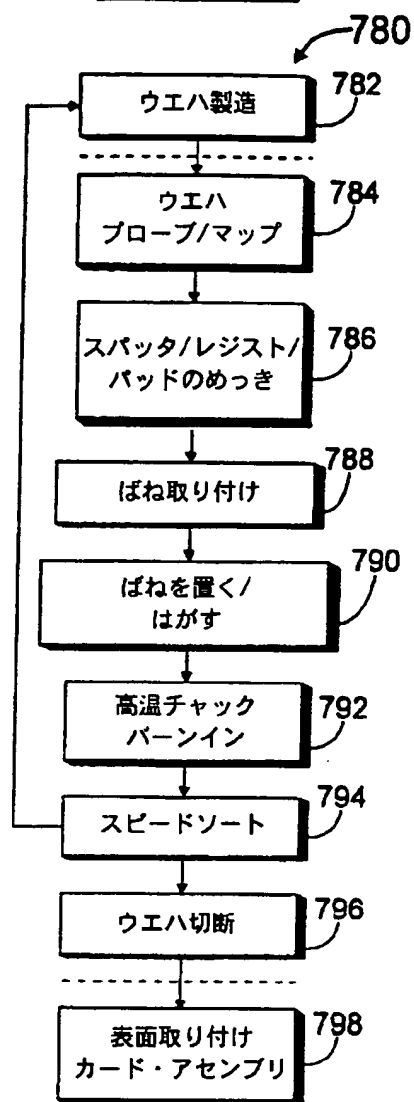


Figure 8A

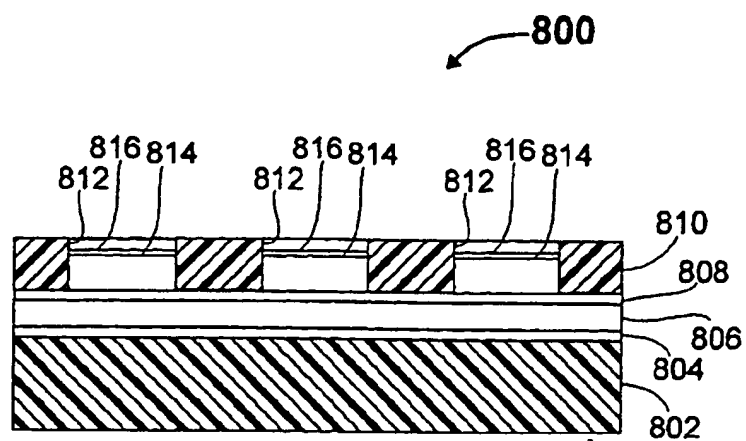


Figure 8B

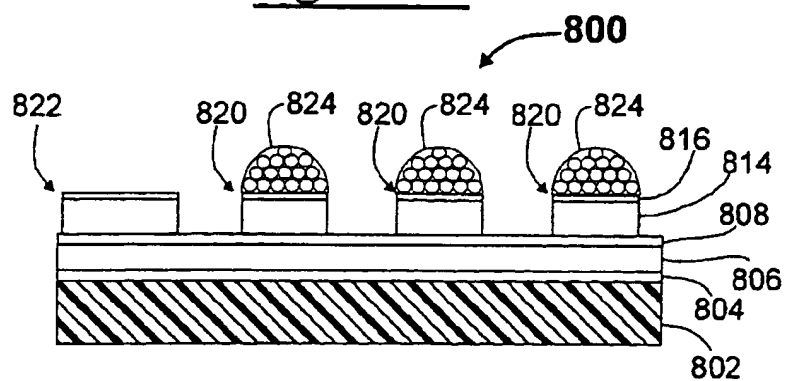


Figure 8C

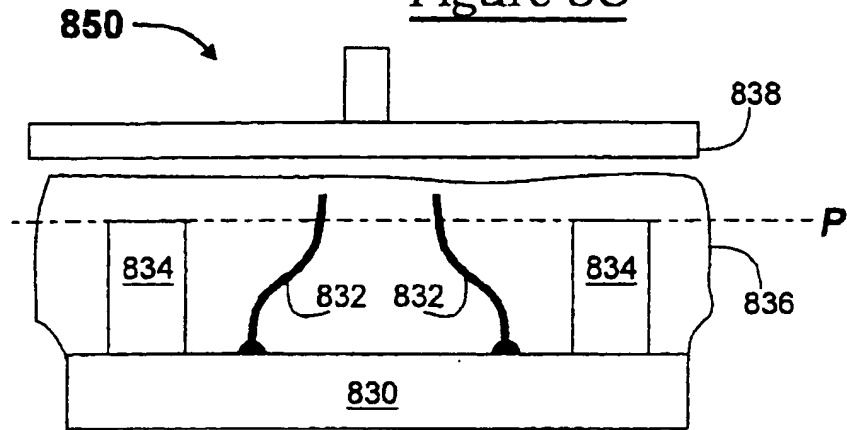


Figure 8D

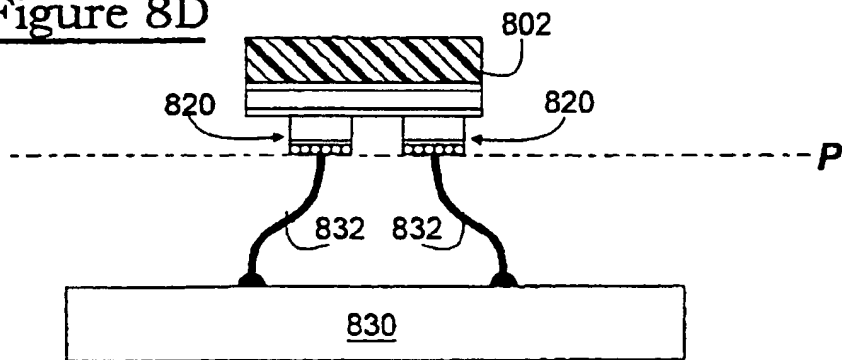
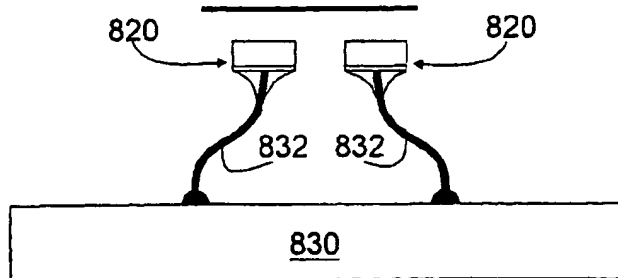


Figure 8E



【图8】

Figure 8F

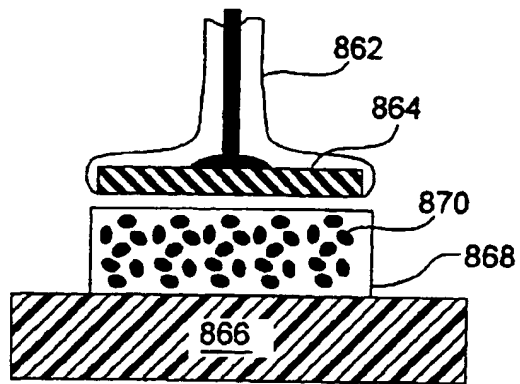


Figure 9A

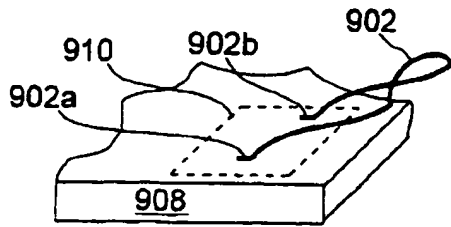


Figure 9B

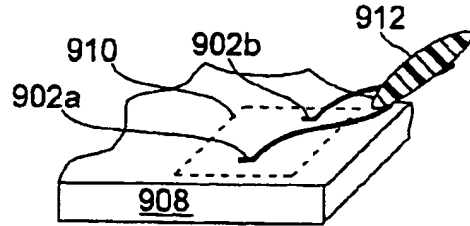


Figure 9C

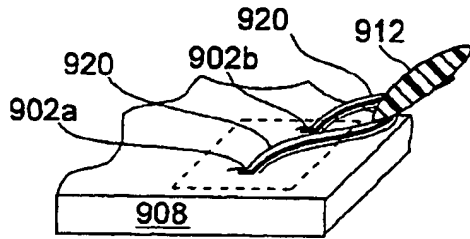


Figure 9D

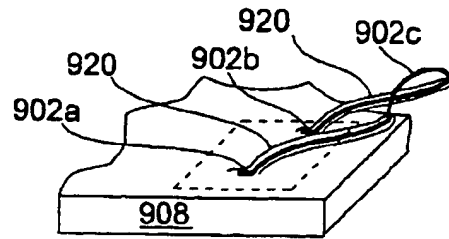


Figure 9E

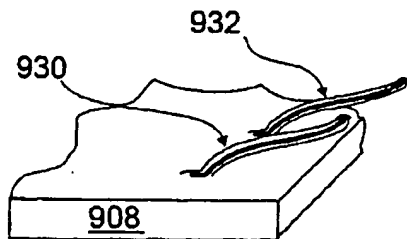


Figure 9F

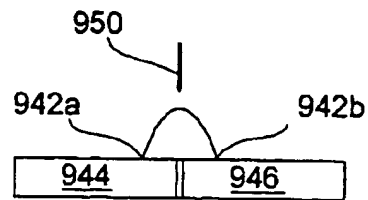


Figure 10A

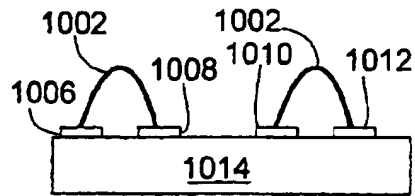


Figure 10B

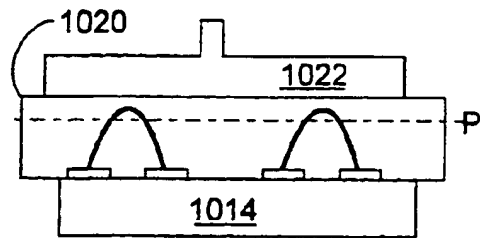


Figure 10C

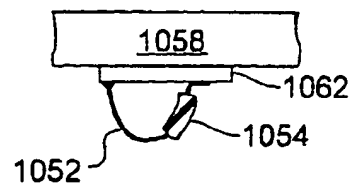
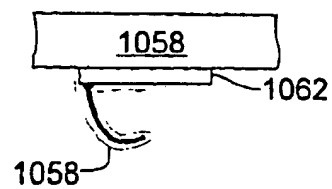


Figure 10D



【手続補正書】特許法第184条の8

【提出日】1996年12月23日

【補正内容】

請求の範囲

1. 半導体ダイが半導体ウエハから単一化される前に、半導体ダイをテストする方法であって、前記方法が、

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、半導体ダイの表面上の複数のターミナルに永久的に取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

半導体ダイをテストするために、基板のターミナルに信号を提供するステップを含むことを特徴とする、前記方法。

2. 弾性接触構造が複合相互接続要素であることを特徴とする、請求項1に記載の方法。

3. 弾性接触構造が、めっきによって半導体ダイのターミナルに取り付けられることを特徴とする、請求項1に記載の方法。

4. 弾性接触構造が、連続的な上塗りによって半導体ダイのターミナルに保持されることを特徴とする、請求項1に記載の方法。

5. 半導体ダイをテストし、取り付ける方法が、

複数の半導体ダイが半導体ウエハから単一化される前に：

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、複数の半導体ダイのうち少なくとも1つダイの表面上の複数のターミナルに永久的に取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

半導体ダイをテストするために、基板のターミナルに信号を提供するステッ

ブを含み、

半導体ダイをテストした後に：

ダイをウエハから単一化するステップ、及び

ダイを電子素子に取り付け、ダイの弾性接触構造と電子素子のターミナルの間の接続を行うステップを含む、前記方法。

6. 弾性接触構造が複合相互接続要素であることを特徴とする、請求項5に記載の方法。

7. 電子素子がワイヤ基板であることを特徴とする、請求項5に記載の方法。

8. 複数の半導体ダイが半導体ウエハから単一化される前に：

それぞれが、頂上を有し、ダイの表面から延びる複数の弾性接触構造を直接、複数の半導体ダイの表面上の複数のターミナルに取り付けるステップ、

複数のターミナルを有する基板を、ダイの表面に向かって押しつけ、弾性接触構造のそれぞれのターミナルと頂上の間で複数の圧縮接続を実現するステップ、及び

複数の半導体ダイをテストするために、基板のターミナルに信号を提供するステップを含み、

半導体ダイをテストした後に：

ダイをウエハから単一化するステップ、及び

ダイを電子素子に取り付け、ダイの弾性接触構造と電子素子のターミナルの間の接続を行うステップを含む、請求項5に記載の方法。

9. 2つ以上のダイを電子素子の1つに取り付けることを更に含むことを特徴とする、請求項8に記載の方法。

10. 弾性接触構造を直接半導体デバイスに取り付ける方法が、

半導体ダイの表面上にパターン化された金属層の上に絶縁層を提供するステップ、

複数の開口を前記絶縁層に提供するステップ、

ブランケット導電層を絶縁層の頂部に提供するステップ、

前記ブランケット導電層の上に、前記絶縁層内の複数の開口と調整された複数

の開口を有する、マスキング材料からなるパターン化された層を提供するステップ、

マスキング材料からなるパターン化された層内の開口の少なくとも一部のそれぞれにあるブランケット導電層に、ワイヤを接続するステップ、

各接続されたワイヤを、半導体ダイの表面から延ばすステップ、

各接続されたワイヤを、半導体ダイの表面からのある距離で分離するステップ、及び

各分離されたワイヤとブランケット導電層の露出された部分を上塗りするステップを含むことを特徴とする、前記方法。

11. 分離されたワイヤを上塗りした後で、マスキング材料を除去

し、ブランケット導電層の以前に露出されていた部分の他は全て選択的に除去するステップを更に含むことを特徴とする、請求項10に記載の方法。

12. マスキング材料がフォトリソグレイドであることを特徴とする、請求項10に記載の方法。

13. マスキング材料からなるパターン化された層の開口が、絶縁層の開口より大きいことを特徴とする、請求項10に記載の方法。

14. 半導体デバイスに対するテスト、及びバーンインからなるグループから選択されたテストを実行する方法が、

弾性接触構造を直接半導体デバイスに永久的に取り付けるステップ、

接触領域を有するテスト・ボードに向けて、半導体デバイスを押す、弾性接触構造の頂上が電気的に前記テスト・ボードの接触領域に接続されるようになるステップ、

半導体デバイスに関するテストを実施するステップ、及び

最終的に半導体デバイスを、接触領域を有するシステム・ボードに取り付け、前記システム・ボード上の接触領域に、弾性接触構造の頂上が電気的に接続されるようになるステップを含むことを特徴とする、前記方法。

15. 永久に半導体デバイスをシステム・ボードに接続させるステップを更に含むことを特徴とする、請求項14に記載の方法。

16. 半導体デバイスを半導体ウエハから単一化する前に、弾性接触構造を半導体デバイスに取り付けるステップを更に含むことを特

徴とする、請求項14に記載の方法。

17. 半導体デバイスを半導体ウエハから単一化した後に、弾性接触構造を半導体デバイスに取り付けるステップを更に含むことを特徴とする、請求項14に記載の方法。

18. 半導体デバイスを永久に接続する前に、半導体デバイスを一時的に接続する方法が、

複数の細長い独立した電子接触構造をむき出しの半導体デバイスに永久的に取り付けるステップ、

半導体デバイスを第1の電子素子に押しつけ、半導体デバイスと第1の電子素子の間の電子相互接続として機能する電子接触構造で、半導体デバイスと第1の電子素子との間の一時的な接続を行うステップ、及び

半導体デバイスに取り付けられた同じ電子接触構造を用いて、半導体デバイスと第2の電子素子との間の永久接続を行うステップを含むことを特徴とする、前記方法。

19. 半導体デバイスを第2の電子素子に対して機械的にバイアスすることによって、永久接続を行うステップを更に含むことを特徴とする、請求項18に記載の方法。

20. 半導体デバイスを第2の電子素子に永久的に接続するステップを更に含むことを特徴とする、請求項18に記載の方法。

21. 電子接触構造が弾性であることを特徴とする、請求項18に記載の方法。

22. 電子接触構造が柔軟(compliant)であることを特徴とする、請

求項18に記載の方法。

23. 第1の電子素子と第2の電子素子の間に一時的な接続を行い、次に第1の電子素子と第3の電子素子の間に永久的な接続を行う方法が、

複数の弾性接触構造を第1の電子素子の表面に永久的に取り付けるステップ、

第1の電子素子を第2の電子素子に対して押しつけ、第1の電子素子と第2の電子素子の間に一時的な接続を行うステップ、

第2の電子素子を除去するステップ、及び

第1の電子素子を第3の電子素子に取り付けるステップを含むことを特徴とする、前記方法。

24. 第1及び第2の電子素子が一時的に接続されている間に、第1の電子素子のバーンイン及びテストからなるグループから選択された少なくとも1つの機能を実行するステップを更に含むことを特徴とする、請求項23に記載の方法。

25. 直接半導体ダイに取り付けられた弾性接触構造が、

半導体ダイに取り付けられた端部を有し、半導体ダイの表面から延びる複合相互接続要素、及び

前記複合相互接続要素の端部に接続された事前製造された頂上構造を含むことを特徴とする、前記弾性接触構造。

26. 前記弾性接触構造が複合相互接続要素であることを特徴とする、請求項25に記載の弾性接触構造。

27. 半導体ダイから延びる接触構造の端部に関する頂上構造を事

前に製造する方法が、

少なくとも1つの導電材料からなる少なくとも1つの層を、シリコン・ウエハの表面上に配置するステップ、

少なくとも1つの導電層の上にマスクング材料からなる層を配置するステップ

、
前記マスクング材料に開口をパターン化するステップ、

少なくとも1つの導電材料からなる少なくとも1つの層を、前記開口に配置するステップ、及び

マスクング材料を除去するステップを含むことを特徴とする、前記方法。

28. 開口内で以前配置された少なくとも1つの導電材料からなる少なくとも1つの層の上に、接続層を配置するステップを更に含むことを特徴とする、請求項27に記載の方法。

29. 頂上構造を接触構造の端部に接続するステップを更に含むことを特徴とする、請求項28に記載の方法。
30. 接触構造が弾性接触構造であることを特徴とする、請求項29に記載の方法。
31. 接触構造が複合相互接続要素であることを特徴とする、請求項29に記載の方法。
32. 接触構造が、単一化されていない半導体デバイスに永久的に取り付けられた弾性接触構造であることを特徴とする、請求項29に記載の方法。
33. 半導体デバイスの訓練（テスト及び／またはバーンイン）す

る方法が、

半導体ウエハ上の複数の単一化されていない半導体ダイ上に直接、複数の弾性相互接続要素を製造するステップ、

単一化されていない半導体ダイの少なくとも一部で訓練を行うステップ、及び

半導体ダイを半導体ウエハから単一化するステップを含むことを特徴とする、前記方法。

34. 複数の複合相互接続要素を製造する前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項33に記載の方法。

35. 単一化されていない半導体ダイを訓練する前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項33に記載の方法。

36. 複数の複合相互接続要素を製造するステップが、

半導体ダイの上にブランケット導電層を配置し、前記ブランケット導電層の上にパターン化されたマスキング層を提供するステップ、

細長い要素をブランケット導電層に取り付けるステップ、及び

前記細長い要素を金属材料で上塗りするステップを含むことを特徴とする、請求項33に記載の方法。

37. 細長い要素を取り付ける前に、ウエハのプローブを実行するステップを更に含むことを特徴とする、請求項36に記載の方法。

38. 細長い要素を上塗りする前に、ウエハのプローブを実行するステップを更

に含むことを特徴とする、請求項36に記載の方法。

39. ウエハから半導体ダイを単一化するステップを更に含むことを特徴とする、請求項33に記載の方法。

40. 単一化された半導体ダイの最終組立を実行するステップを更に含むことを特徴とする、請求項39に記載の方法。

41. 半導体デバイスの訓練（テスト及び／またはバーンイン）する方法が、
半導体ウエハ上の複数の単一化されていない半導体ダイ上に、複数の弾性接触構造を永久的に取り付けるステップ、

単一化されていない半導体ダイの少なくとも一部で訓練を行うステップ、及び
半導体ダイを半導体ウエハから単一化するステップを含むことを特徴とする、
前記方法。

42. 半導体デバイスをバーンインする方法が、

半導体ウエハ上の複数の単一化されていない半導体デバイス上に、複数の弾性接触構造を永久的に取り付けるステップ、

単一化されていない半導体デバイスの一部の上の弾性接触構造に圧縮接続を行うことによって、単一化されていない半導体デバイスの少なくとも一部でパワーアップを行うステップ、及び

半導体デバイスを少なくとも150℃で60分未満の間、加熱するステップを含むことを特徴とする、前記方法。

43. 半導体デバイスを製造する方法が、

半導体デバイスの表面上にターミナルを提供するステップ、及び

前記ターミナルに独立弾性接触構造を永久的に取り付けるステッ

プを含むことを特徴とする、前記方法。

44. 弾性接触構造が、ターミナルに対して空気遮断シールされることを特徴とする、請求項43に記載の方法。

45. 前記ターミナルが、

マスキング層をブランケット導電層の上に配置し、及び

各ターミナルの所望の位置でマスクング層に開口を設けることによって形成されることを特徴とする、請求項43に記載の方法。

46. 2つ以上のターミナルの相互接続からなるグループから選択された機能を実行する、ブランケット導電層の一部を定義する追加の開口をマスクング層に提供するステップ、

接地、及び/またはパワー・プレーンを提供するステップ、及び

半導体デバイスの上に直接1つ、または複数のコンデンサを提供するステップを更に含むことを特徴とする、請求項45に記載の方法。

INTERNATIONAL SEARCH REPORT

Internal application No.
PCT/US95/14885

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(s) : G01R 1/073; B32B 15/08 US CL : 324/ 754,761;180.5		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
U.S. : 324/ 757,758,762; 439/91; 482,912; 427/96, 117; 428/601,626; 29/840, 843; 361/785		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Extra Sheet.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X ----- Y	US, A, 5,187,020 (KWON ET AL) 16 February 1993, see columns 1-5	18-24, 27-32, 43-46 ----- 1-9, 14-17
X ----- -- Y ----- A	US, A, 5,055,780 (TAKAGI ET AL) 08 October 1991 see columns 6-9	33-42 ----- 1-9, 14-17 ----- 10-13
X	US, A, 4,983,907 (CROWLEY) 08 January 1991 see columns 3-4	25-26
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combinations being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 14 MARCH 1996		Date of mailing of the international search report 18 APR 1996
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer <i>Ernest F. Karlson</i> ERNEST F. KARLSEN Telephone No. (703) 305-4768

Form PCT/ISA/210 (second sheet)(July 1992)*

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US95/14885

B. FIELDS SEARCHED

Electronic data bases consulted (Name of data base and where practicable terms used):

APS a resilient contact? a resilient contact? and 324/754-769/ecist a composite interconnection and 361/class and (IC or semiconductor) a (burn or burnin) and resilient and 324/754-769/ecist

フロントページの続き

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	
H 0 1 L 21/66		8406-4M	H 0 1 L 21/66	H

(31)優先権主張番号 0 8 / 4 5 2 , 2 5 5

(32)優先日 1995年5月26日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 0 8 / 4 5 7 , 4 7 9

(32)優先日 1995年6月1日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 0 8 / 5 2 6 , 2 4 6

(32)優先日 1995年9月21日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 0 8 / 5 3 3 , 5 8 4

(32)優先日 1995年10月18日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 0 8 / 5 5 4 , 9 0 2

(32)優先日 1995年11月9日

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 0 8 / 5 5 8 , 3 3 2

(32)優先日 1995年11月15日

(33)優先権主張国 米国 (U S)

(81)指定国 EP (A T , B E , C H , D E ,
 D K , E S , F R , G B , G R , I E , I T , L U , M
 C , N L , P T , S E) , O A (B F , B J , C F , C G
 , C I , C M , G A , G N , M L , M R , N E , S N ,
 T D , T G) , A P (K E , L S , M W , S D , S Z , U
 G) , A M , A T , A U , B B , B G , B R , B Y , C
 A , C H , C N , C Z , D E , D K , E E , E S , F I
 , G B , G E , H U , I S , J P , K E , K G , K P ,
 K R , K Z , L K , L R , L T , L U , L V , M D , M
 G , M N , M W , M X , N O , N Z , P L , P T , R O
 , R U , S D , S E , S G , S I , S K , T J , T M ,
 T T , U A , U G , U Z , V N

(72)発明者 エルドリッジ, ベンジャミン, エヌ
 アメリカ合衆国ニューヨーク州12533 ホ
 ーブウェル・ジャンクション, ハイ・リッ
 ジ・ロード・11

(72)発明者 グループ, ゲーリー, ダヴリュー
 アメリカ合衆国ニューヨーク州10950 モ
 ンロー, ボックス・エム-397, アール・
 ディー・2